

UNIVERZA V LJUBLJANI  
FAKULTETA ZA MATEMATIKO IN FIZIKO  
ODDELEK ZA FIZIKO  
FIZIKA KONDENZIRANE SNOVI

Mitja Vodnik

**NADGRADNJA ČITALNE ELEKTRONIKE  
DETEKTORJA LHCb RICH**

Magistrsko delo

MENTOR: izr. prof. dr. Rok Pestotnik  
SOMENTOR: mag. inž. Paolo Durante (CERN)

Ljubljana, 2025



## Zahvale

Za vso pomoč in usmerjanje pri nastanku tega magistrskega dela se zahvaljujem svojemu mentorju Roku Pestotniku. So-mentorju Paulu Duranteu in celotni ekipi *EP-LBC Online* iz CERN-a se zahvaljujem, da so mi omogočili delo pri njihovem projektu in me pri tem vodili. Hvala tudi moji družini in puncu Lauri, ki mi je tekom študija stali ob strani in me pri njem podpirali - brez njih ne bi uspelo.





# Nadgradnja čitalne elektronike detektorja LHCb RICH

## IZVLEČEK

Pri eksperimentu Large Hadron Collider Beauty (LHCb) v CERN-u v Ženevi študirajo razpade mezonov B, ki nastanejo pri trkih visoko-energijskih protonov v Velikem hadronskem trkalniku LHC. Za zaznavanje množice delcev, ki nastanejo med vsakim trkom protonskih žarkov eksperiment vsebuje kompleksen sistem detektorjev in čitalne elektronike. Elektronika za branje z detektorjev mora biti dovolj hitra in natančna, da zazna udarce delcev, ki se lahko zgodijo vsakih 25 ns. Do doseže to natančnost, uporablja sodobne tehnološke rešitve, kot so čipi tipov Application-specific integrated circuit (ASIC) in Field-programmable gate array (FPGA). Da bi povečali količino izmerjenih podatkov v eksperimentih, v naslednjem desetletju načrtujejo posodobitev pospeševalnika Large Hadron Collider (LHC), ki bo luminoznost povečala za faktor 10. To predstavlja izziv pri zaznavanju delcev, saj bodo ustrezno povečane ravni sevanja in zasedenost delcev na detektorju. Zaradi tega bo treba nekatere detektorske komponente nadgraditi. V LHCb bosta ena prvih nadgrajenih komponent dva detektorja RICH (Ring-imaging Cherenkov); posodobili bodo njuno čitalno elektroniko, tako da bo sposobna označevati zaznane Čerenkove fotone s časovno natančnostjo pod 10 ps. Novi čitalni čip se imenuje FastRICH.

Moje delo se osredotoča predvsem na zaledno elektroniko, ki skrbi za nadzor in zbiranje podatkov iz celotnega detektorja LHCb. Za pomoč pri razvoju slednje smo razvili emulator sprednje elektronike, ki uporablja novi komunikacijski protokol lpGBT. Pravimo mu *lpGBT frontend emulator* oz. LFE. V emulatorju smo ustvarili že prvi prototip čipa FastRICH, ki posnema njegov podatkovni izhod. Poleg tega smo opravili začetne meritve natančnosti distribucije časovne reference z nekaj različnimi prototipi zaledne elektronike. Cilj teh je izenačiti časovno natančnost čipa FastRICH; negotovost faze prenesenega signala ure mora biti torej pod 10 ps. Rezultati so spodbudni, vendar trenutni prototipi še niso povsem realistični.

### **Ključne besede:**

CERN, LHC, trkalnik delcev, LHCb, fizika visokih energij, RICH, detektorji delcev, FastRICH, lpGBT, PCIe40, FPGA, ASIC, LFE, emulator, zajemanje podatkov



# Upgrade of the LHCb RICH detector readout electronics

## ABSTRACT

In the Large Hadron Collider Beauty (LHCb) experiment at CERN, Geneva, researchers study the decays of B mesons produced during high-energy proton collisions in the Large hadron collider (LHC). A complex system of detectors and readout electronics is utilized to detect the multitude of particles generated in each proton beam collision. The detector readout electronics must be fast and precise enough to capture particle hits that may occur every 25 ns. To achieve this accuracy, modern technological solutions such as Application-specific integrated circuit (ASIC) and Field-programmable gate array (FPGA) chips are employed. To increase the amount of data collected in experiments, the luminosity of the LHC accelerator is set to be increased by a factor of 10 over the next decade. This enhancement poses a challenge for particle detection, as it will lead to higher radiation levels and particle occupancy on the detectors, necessitating upgrades to some detector components. Among the first upgraded components in LHCb will be the two RICH (Ring-imaging Cherenkov) detectors; their readout electronics will be upgraded to achieve timestamping of detected Cherenkov photons with a precision under 10 ps. The new readout chip is named FastRICH.

My work primarily focuses on the backend electronics responsible for control and data acquisition from the entire LHCb detector. To assist in its development, we have designed a frontend electronics emulator which uses a new communication protocol called lpGBT. We call it lpGBT frontend emulator or LFE. We have already implemented the first emulator prototype of the FastRICH chip, which emulates its data output. Additionally, we have conducted initial measurements of the timing distribution accuracy using several backend electronics prototypes. The goal is to achieve the timing accuracy of the FastRICH chip; the uncertainty in the phase of the transmitted clock signal must therefore be below 10 ps. The results are promising, but current prototypes are not yet fully realistic.

### Keywords:

CERN, LHC, particle collider, LHCb, high-energy physics, RICH, particle detectors, FastRICH, lpGBT, PCIe40, FPGA, ASIC, LFE, emulator, data acquisition



# Kazalo

Seznam slik . . . . .	11
Seznam kratic . . . . .	13
<b>1 Uvod . . . . .</b>	<b>15</b>
<b>2 Detektor LHCb . . . . .</b>	<b>17</b>
2.1 Struktura detektorja . . . . .	17
2.2 Delovanje detektorja . . . . .	19
2.3 Postopek zajemanja podatkov . . . . .	20
2.4 Nadgradnje detektorja . . . . .	22
2.5 Detektor RICH . . . . .	23
2.5.1 Identifikacija delcev . . . . .	23
2.5.2 Sistem fotonjskih detektorjev . . . . .	24
<b>3 Sistem za zajem podatkov . . . . .</b>	<b>27</b>
3.1 Čipi FPGA in ASIC . . . . .	27
3.2 Sprednja elektronika detektorja RICH . . . . .	29
3.3 Elektronika serijskega prenosa . . . . .	31
3.4 Zaledna elektronika . . . . .	32
3.4.1 Distribucija ure in hitrih ukazov . . . . .	33
<b>4 Emulator sprednje elektronike lpGBT . . . . .</b>	<b>35</b>
4.1 Opis sistema LFE . . . . .	35
4.2 Mikrokoda in konfiguracija . . . . .	37
4.3 Protokol lpGBT . . . . .	41
4.4 Protokol Aurora . . . . .	43
4.5 Delovanje emulatorja . . . . .	46
4.5.1 CALO . . . . .	46
4.5.2 FastRICH . . . . .	49
<b>5 Meritve časovne faze ure . . . . .</b>	<b>51</b>
5.1 Metoda . . . . .	51
5.2 Rezultati . . . . .	54
<b>6 Zaključek . . . . .</b>	<b>59</b>
<b>7 Literatura . . . . .</b>	<b>61</b>



# Seznam slik

2.1	Položaj detektorja LHCb na pospeševalniku LHC . . . . .	17
2.2	Struktura detektorja LHCb . . . . .	18
2.3	Prikaz dogodkov v detektorju LHCb . . . . .	20
2.4	Arhitekturni diagram sistema za zajemanje podatkov . . . . .	21
2.5	Časovna os nadgradenj detektorja LHCb . . . . .	23
2.6	Princip delovanja detektorja RICH . . . . .	24
2.7	Simulacija zasedenosti detektorja RICH 1 . . . . .	25
2.8	Sistem fotonских detektorjev v detektorju RICH . . . . .	25
3.1	Osnove vezij FPGA . . . . .	28
3.2	Primerjava čipov FPGA in ASIC. . . . .	29
3.3	Način štetja fotonov s časovno informacijo . . . . .	30
3.4	Shema elektronike serijskega prenosa lpGBT / VL+ . . . . .	31
3.5	Ponazoritev delovanja čipa lpGBT. . . . .	32
3.6	Kartica za zajem podatkov PCIe40 . . . . .	33
3.7	Arhitektura omrežja TFC . . . . .	34
4.1	Skica postavitve emulatorja LFE v laboratoriju. . . . .	36
4.2	Razvojni plošči VLDB+ in ZCU102 . . . . .	37
4.3	Razvojna plošča XEM8320 . . . . .	38
4.4	Pot optičnih povezav med gradniki emulatorja. . . . .	38
4.5	Arhitekturni diagram emulatorja CALO. . . . .	40
4.6	Arhitekturni diagram emulatorja FastRICH. . . . .	41
4.7	Razdelitev podatkovnih pasov sedmih emuliranih čipov FastRICH na 4 optična vlakna. . . . .	42
4.8	Simulacija celotnega poteka kodiranja in dekodiranja po protokolu lpGBT. . . . .	42
4.9	Primer kodiranja podatkov s protokolom Aurora. . . . .	43
4.10	Sinhronizacija dveh pasov v dekodirniku protokola Aurora. . . . .	44
4.11	Primer dekodiranja podatkov s protokolom Aurora. . . . .	45
4.12	Razporeditev podatkov v pomnilniku emulatorja CALO. . . . .	46
4.13	Primer pošiljanja kratkih paketov na dveh izmed kanalov emulatorja CALO. . . . .	47
4.14	Razdelitev podatkov emulatorja CALO na 7 serijskih oddajnikov eLink. . . . .	47
4.15	Obdelava podatkov emulatorja CALO pred vstopom na serijske od- dajnike eLink. . . . .	48
4.16	Prejeti podatki nedejavnega emulatorja CALO. . . . .	48
4.17	Prejeti podatki emulatorja CALO. . . . .	49
4.18	Tok podatkov kodiran z Aurora protokolom. . . . .	49
4.19	Poslani paket podatkov enega emuliranega čipa FastRICH. . . . .	50

4.20	Primer pošiljanja in prejemanja paketa enega emuliranega čipa FastRICH. . . . .	50
5.1	Razvojna plošča Skyworks Si5395-EVB . . . . .	52
5.2	Priključki signalov za samostojne meritve na oddajnikih GTH čipa Zynq. . . . .	53
5.3	Priključki signala ure za merjenje faze obnovljenega signala. . . . .	53
5.4	Prikaz referenčne in obnovljene ure na osciloskopu. . . . .	54
5.5	Primerjava porazdelitev TIE Jitter obnovljene ure. . . . .	55
5.6	Enakomerna porazdelitev zakasnitve obnovljene ure po zaporednih ponovnih zagonih sistema. . . . .	56
5.7	Primerjava porazdelitev fazne zakasnitve obnovljenega signala ure pri treh različnih poskusnih postavitvah . . . . .	56
5.8	Primerjava porazdelitev meritev fazne zakasnitve v treh različnih poskusnih postavitvah . . . . .	57



# Seznam kratic

**AMBA** Advanced Microcontroller Bus Architecture

**AMD** Advanced Micro Devices

**ASIC** Application-specific integrated circuit

**AXI** Advanced eXtensible Interface

**CERN** Conseil Européen pour la Recherche Nucléaire

**CLB** configurable logic block

**DAQ** data acquisition

**EC** Elementary Cell

**ECAL** elektromagnetni kalorimeter

**FEC** Forward Error-Correction

**FF** flip-flop

**FMC** FPGA Mezzanine Card

**FPGA** Field-programmable gate array

**HCAL** hadronski kalorimeter

**HLT** High Level Trigger

**LFE** lpGBT Frontend Emulator

**LHC** Large Hadron Collider

**LHCb** Large Hadron Collider beauty

**LS** Long Shutdown

**LUT** lookup table

**MaPMT** Multi-anode Photomultiplier Tube

**MGT** Multi-gigabit Transceiver

**MUX** multiplekser

**PCIe** Peripheral Component Interconnect express

**PID** Particle Identification

**PL** programabilna logika

**PLL** Phase-locked loop

**PS** procesni sistem

**PV** primarni vertex

**QSFP+** Quad Small Form-factor Pluggable Plus

**RICH** Ring-imaging Cherenkov

**SciFi** Scintillating Fibers

**SEU** Single Event Upset

**SFP+** Small Form-factor Pluggable Plus

**SMA** SubMiniature version A

**SoC** System on Chip

**SV** sekundarni vertex

**TFC** Timing and Fast Control

**TIA** transimpedančni ojačevalnik

**TIE** Time Interval Error

**ToA** Time of Arrival

**ToT** Time over Threshold

**UT** Upstream Tracker

**VELO** Vertex Locator

**VHDL** VHSIC Hardware Description Language

**VL+** Versatile Link Plus

**VLDB+** Versatile Link Plus Demonstrator Board

**VTRx+** Versatile Link Plus Transceiver

# 1. Uvod

Evropska organizacija za jedrske raziskave, francosko Conseil Européen pour la Recherche Nucléaire (CERN) [1], se nahaja na meji med Švico in Francijo, v bližini Ženeve. Ukvarja se predvsem z raziskavami fizike osnovnih delcev. CERN se ponaša z največjim pospeševalnikom in trkalnikom delcev na svetu; imenuje se Veliki hadronski trkalnik, oz. angleško Large Hadron Collider (LHC) [2].

LHC je 27 km dolg obroč ki teče delno pod francoskim in delno pod švicarskim ozemljem. Na različnih točkah tega obroča so zgrajeni 4 glavni eksperimenti, kjer protoni, pospešeni do visokih energij, med seboj trkajo. Eden od 4 eksperimentov fizike visokih energij je tudi LHCb oz. *Large Hadron Collider beauty* [3].

Kot ostali eksperimenti, je tudi LHCb velik detektor delcev, ki nastajajo pri visoko-energijskih protonskih trkov. Sestavlja ga kombinacija najrazličnejših pod-detektorjev, ki služijo različnim namenom in zaznavajo različne tipe delcev [4]. Eden od teh je detektor RICH (Ring-imaging Cherenkov), namenjen identifikaciji delcev. Za to uporablja pojav Čerenkova, ki mu omogoča meritev hitrosti električno nabitih delcev, ki letijo skozenj. Več o tem detektorju v razdelku 2.5.

Za zajem podatkov z vseh detektorjev eksperimenta, LHCb vsebuje sistem elektronike, ki bere meritve z detektorjev in jih pošilja v podatkovni center. Detektorje je potrebno odčitati ob vsakem trku protonskih žarkov, kar se lahko zgodi vsakih 25 ns. Čitalna elektronika mora biti torej sposobna hitrega prenosa podatkov z veliko časovno natančnostjo. Pri tem pa mora biti odporna na povečane sevalne doze v bližini interakcijske točke žarkov.

Pri vsakem trku protonskih žarkov v LHCb med seboj trči nekaj protonov; v povprečju trenutno 4. To število je odvisno od luminoznosti protonskih žarkov  $\mathcal{L}$ , ki predstavlja verjetnost za število trkov na enoto časa (več o tem v razdelku 2.2). Večja luminoznost pomeni več trkov, kar pomeni več opaženih fizikalnih dogodkov. To pomeni tudi večje možnosti, da zaznamo nekatere zelo redke dogodke, poleg tega pa zaradi boljše merske statistike lahko bolje določamo fizikalne parametre standardnega modela osnovnih delcev. Prav iz teh razlogov se v naslednjem desetletju načrtuje nadgradnja pospeševalnika LHC [5], ki bo omogočala do 10-kratno povečanje luminoznosti trkov v detektorju LHCb.

Število trkov med srečanjem dveh protonskih žarkov je sorazmerno z luminoznostjo, torej se bo prav tako povečalo za faktor 10. Posledično se za isti faktor poveča zasedenost detektorjev delcev, kar lahko prinese težave; če je zasedenost previsoka, postane razločevanje med posameznimi delci nemogoče. Zaradi tega bo nekatere detektorje potrebno posodobiti [6]. Med prvimi od teh bo detektor Ring-imaging Cherenkov (RICH). Za izboljšanje ločljivosti bodo najprej posodobili njegovo čitalno elektroniko [7], kasneje pa še detektorje fotonov Čerenkova. Posodobljena elektronika bo imela izredno visoko časovno ločljivost, s katero bo sposobna ločiti med delci

zaznanimi v intervalu zgolj 200 ps<sup>1</sup>. Za doseganje tega nivoja natančnosti ni dovolj le nova čitalna elektronika detektorja RICH, temveč je treba posodobiti tudi sistem za krmiljenje in zajem podatkov, ki med drugim vsem detektorjem skladno podaja časovno referenco [8].

Ker so nove generacije čitalne elektronike še v razvoju, smo za pomoč pri posodabljanju krmilne in zajemalne elektronike v skupini *EP-LBC Online*<sup>2</sup> pripravili t.i. Emulator sprednje elektronike lpGBT<sup>3</sup> oz. lpGBT Frontend Emulator (LFE). Njegov namen je, da posnema delovanje elektronike, ki še ni na voljo. Poleg elektronike detektorja RICH lahko po potrebi posnema tudi komponente drugih detektorjev. Uporabljali ga bomo za sprotno testiranje in odpravljanje napak pri posodobitvi krmilne in čitalne elektronike eksperimenta.

Pričeli smo tudi s testiranjem natančnosti prenašanja časovne ure iz nadzornih komponent na čitalne. V laboratoriju smo postavili osnoven prototip sistema, na katerem lahko opazujemo s kakšno natančnostjo uspemo prenesti periodični signal ure iz enega dela sistema na drugega. Te meritve so pomembne pri izbiri komponent, ki bodo osnova za naslednjo generacijo čitalne elektronike.

To magistrsko delo je zgrajeno iz 4 glavnih poglavij. V poglavju 2 najprej predstavim strukturo in delovanje detektorja LHCb, nato pa podrobneje opišem celoten postopek zajema podatkov in časovno os nadgradenj detektorja. V razdelku 2.5 posebno pozornost namenim detektorjem RICH. Poglavje 3 bolj podrobno opiše strukturo celotnega čitalnega sistema in s tem vzpostavi teoretično osnovo za naslednji dve poglavji, ki opisujeta moje delo. V poglavju 4 predstavim zasnovano in delovanje emulatorja sprednje elektronike, v poglavju 5 pa meritve časovne faze serijsko prenesene ure.

---

<sup>1</sup>Za primerjavo, trenutna elektronika zaznanih delcev (fotonov) časovno ne loči znotraj enega dogodka trkov. Podatke zajame v časovnem oknu 6.25 ns vsakih 25 ns.

<sup>2</sup>Skupina zadolžena za sprotno ("online") obdelavo podatkov ob zajemu z detektorja. Je del večje skupine LBC (LHCb Computing) za obdelavo podatkov z detektorja. Skupina spada v oddelek za eksperimentalno fiziko (EP) v CERN-u.

<sup>3</sup>lpGBT se nanaša na elektroniko za serijski prenos, ki jo bo uporabljal posodobljeni sistem za zajem podatkov. Več v razdelku 3.3

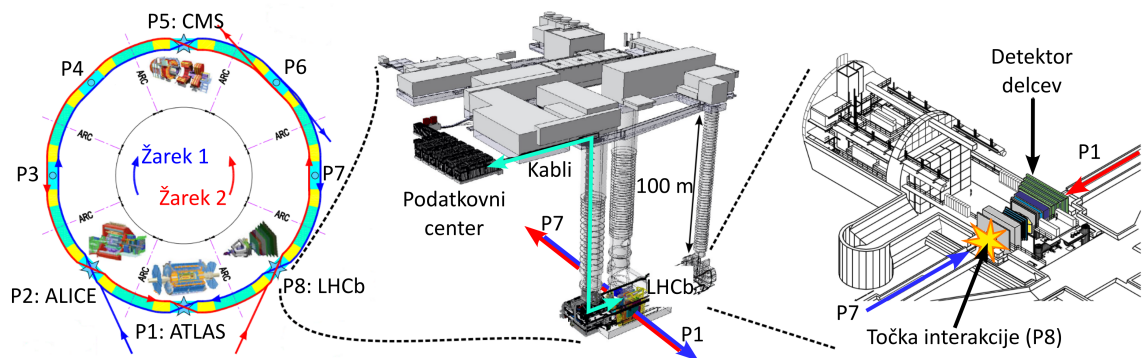
## 2. Detektor LHCb

Kratica LHCb pomeni *Large Hadron Collider beauty*. Beseda “beauty” se nanaša na kvarke  $b$ , saj je detektor namensko zasnovan za meritve fizike razpadov hadronov, ki so sestavljeni iz kvarkov  $b$  in  $c$ . Hadronom sestavljenim iz para kvarkov  $b$  in  $\bar{b}$  rečemo *mezoni B*. Detektor zaznava redke razpade teh mezonov z namenom iskanja nove fizike onkraj Standardnega modela, in za natančno določanje parametrov kršitve simetrije parnosti in konjugacije naboja (angl. *CP violation*).

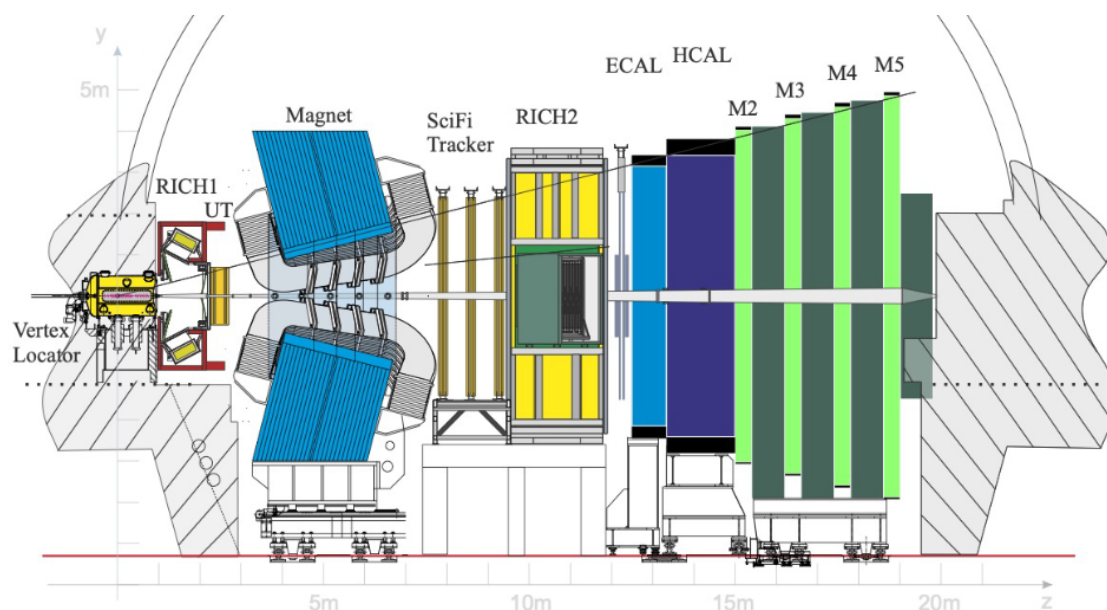
### 2.1 Struktura detektorja

Detektor LHCb je zgrajen okoli cevi pospeševalnika LHC znotraj eksperimentalne jame, 100 m pod zemljo; glej sliko 2.1 za več podrobnosti. Zaradi razmeroma majhne mase kvarkov  $b$  in narave mehanizma s katerim nastajajo v visoko-energijskih trkih protonov, pari  $b\bar{b}$  nastajajo pretežno pri zelo nizkih kotih glede na protonski žarek. Zaradi tega LHCb nima simetrične oblike okoli interakcijske točke (IP), temveč je postavljen ozkim kotom vzdolž žarka. S tem se detektor osredotoča na opazovanje fizike mezonov B, in ni namenjen splošnemu opazovanju, kot sta detektorja ATLAS in CMS. LHCb sestavlja množica pod-detektorjev, prikazanih na sliki 2.2, ki služijo dvema glavnima namenoma: rekonstrukciji poti delcev in identifikaciji delcev (angl. *Particle Identification* oz. PID).

Delci, ki nastanejo med trki protonov letijo skozi detektor LHCb po različnih



Slika 2.1: (levo) LHC sestavlja 8 dolgih ravnih odsekov in 8 lokov. Skozenj v nasprotnih smereh potekata dva žarka protonov, označena z modro in rdečo. Središčne točke odsekov so označene s P1 do P8; 4 od teh vsebujejo eksperimente, kjer se žarka prekrizata in protoni trkajo. LHCb se nahaja na interakcijski točki P8. (sredina in desno) Detektor LHCb se nahaja v votlini približno 100 m pod zemljo. Žarka trčita v točki interakcije, ki se nahaja ob strani detektorja. Izmerjeni podatki se preko optičnih kablov pretakajo v podatkovni center na površini nad detektorjem. Povzeto po [2], [4], [9] in [10]



Slika 2.2: Stranski prerez detektorja LHCb s pregledom njegovih pod-detektorjev. Od leve proti desni so prikazani: iskalnik verteksov (VELO), 1. detektor obročev Čerenkova (RICH1), sledilni sistem (UT), dipolni magnet, sledilnik iz scintilacijskih vlaken (SciFi), 2. detektor obročev Čerenkova (RICH2), elektromagnetni in hadronski kalorimeter (ECAL in HCAL) ter mionski sistem, ki ga sestavljajo štiri postaje (M2-5). Povzeto po [4].

poteh. Rekonstrukcijo poti za vsak delec omogočajo naslednji pod-detektorji:

- Vertex Locator (VELO) oz. iskalnik verteksov vsebuje zaporedje tankih silikonskih trakov, postavljenih tesno okoli točke interakcije. Njegov namen je natančno zaznavanje položajev primarnih (PV) in sekundarnih (SV) verteksov. PV so položaji protonskih trkov, SV pa poznejših razpadov mezonov B; to so začetne točke poti delcev.
- Upstream Tracker (UT) vsebuje 4 plasti senzorjev iz silicijevih trakov, postavljenih pred dipolnim magnetom. Njihova naloga je sledenje položajev nabitih delcev, preden vstopijo v magnet, kjer se sledi delcev ukrivijo. (Izraz “upstream” je uporabljen ker zaznajo položaje delcev “po toku navzgor” od magneta.)
- Naprej od magneta delci preletijo 3 postaje sledilnika Scintilating Fibers (SciFi). Slednji uporablja scintilacijska vlakna, razporejena v plasteh z različnimi orientacijami. Z njimi lahko z zelo visoko natančnostjo določi vodoravni in navpični položaj delcev po izstopu iz magneta.

Sistem detektorjev za sledenje delcev natančno določi koliko se je pot upognila v magnetu. S tem omogoča natančno merjenje gibalne količine delcev. Namen ostalih detektorjev je identifikacija delcev; torej določanje katerega tipa so. To so naslednji:

- Dva detektorja RICH za identifikacijo nabitih hadronov v območjih gibalne količine od 1 do 60 GeV/c (RICH1) in od 15 do 100 GeV/c (RICH2). Podrobneje sta opisana v razdelku 2.5.

- Dva kalorimetra za določanje energije delcev: Elektromagnetni kalorimeter (ECAL) je namenjen lahkem delcem (npr. fotonom in elektronom), hadronski kalorimeter (HCAL) pa hadronom. Oba detektorja sta sestavljena iz izmeničnih kovinskih absorpcijskih in plastičnih scintilacijskih plasti; delec, ki zadene absorber, povzroči ploho sekundarnih delcev, ki jih zaznamo v scintilacijski plasti.
- Mionski sistem zaznava mione, ki so (poleg nevtrinov) edini delci, ki jih kalorimetri ne ustavijo. Urejen je v 4 postaje, ločene z debelimi železnimi ploščami. Vsaka postaja sestavlja polje komor, ki uporabljajo kombinacijo mešanice plinov in žičnih elektrod za zaznavanje mimoidočega miona.

## 2.2 Delovanje detektorja

Med stabilnim delovanjem pospeševalnik LHC vsebuje 2 žarka, ki krožita v nasprotnih smereh. Vsak žarek je razdeljen v 2808 gruč protonov, ki so časovno razmaknjene 25 ns, oziroma prostorsko okoli 7,5 m. Vsaka gruča vsebuje  $\sim 10^{11}$  protonov. Žarka krožita v dveh ločenih ceveh vzdolž obroča LHC, ki se prekrížata v štirih interakcijskih točkah. Ena od teh točk (P8) se nahaja znotraj detektorja VELO eksperimenta LHCb.

V interakcijski točki se gruče iz obeh žarkov srečajo druga z drugo ob diskretnih časih, ki jim pravimo trkalni dogodki (angl. *collision events*). Najmanjši časovni razmik med dogodki je enak najmanjšemu razmiku med snopi: 25 ns. To pomeni, da se vsako sekundo lahko zgodi do 40 milijonov dogodkov. Dejanska frekvenca dogodkov je nekoliko manjša in jo dobimo kot produkt števila gruč v žarku in obhodne frekvence žarkov

$$f_d = 2808 \cdot 11245 \text{ Hz} = 31.6 \times 10^6 \text{ s}^{-1} \quad (2.1)$$

Med vsakim dogodkom trči le del protonov in le del teh trkov je neelastičnih, kar pomeni, da pri njih nastanejo novi delci. Verjetnost, da se ob trku dveh delcev zgodi nek dogodek, opisujemo s količino, ki ji pravimo *presek*, in jo izražamo z enoto površine imenovano *barn* ( $1\text{b} = 10^{-28}\text{m}^2$ ). Intuitivno nam preseki predstavljajo efektivno površino, ki jo mora delec zadeti, da pride do nekega dogodka. Presek za trke med protoni pri delovni energiji pospeševalnika ( $\sqrt{s} = 7 \text{ TeV}$ ) je  $\sigma_{pp} = 110 \text{ mb}$ ; od tega neelastični del znaša  $\sigma_{in} = 60 \text{ mb}$ .

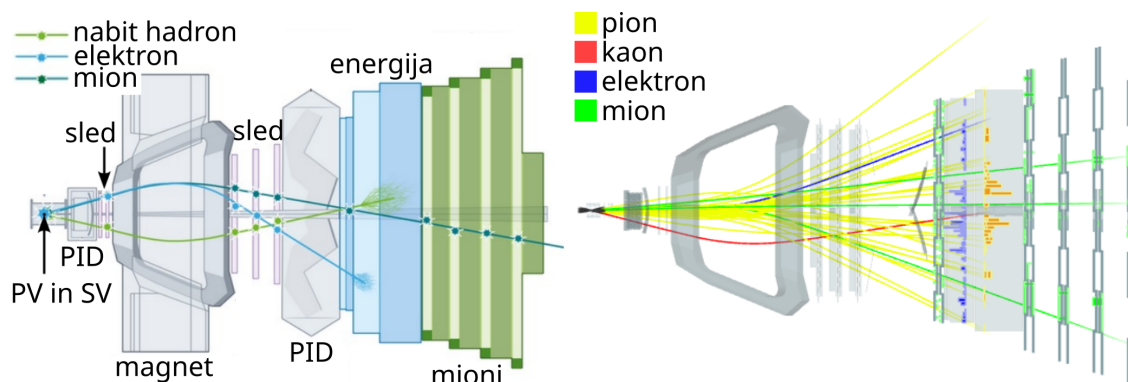
Za oceno števila trkov v detektorju moramo poznati še *luminoznost* žarkov  $\mathcal{L}$ . Ta je definirana kot število dogodkov na časovno enoto in preseki

$$\mathcal{L} = \frac{1}{\sigma} \frac{dN}{dt} \quad (2.2)$$

Luminoznost žarka pri točki interakcije v detektorju LHCb je  $\mathcal{L} = 2 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$ . Število neelastičnih trkov protonov na časovno enoto izračunamo kot produkt njihovega preseka z luminoznostjo

$$f_n = \mathcal{L}\sigma_{in} = 120 \times 10^6 \text{ s}^{-1}, \quad (2.3)$$

to pa lahko delimo s frekvenco trkalnih dogodkov in dobimo oceno števila neelastičnih trkov med vsakim srečanjem žarkov



Slika 2.3: (levo) Prikaz tipičnih poti treh različnih tipov delcev ustvarjenih pri trku protonskih žarkov. Detektor je prikazan v ravnini x-z, gledano od zgoraj. Povzeto po [11]. (desno) Resničen primer izmerjenega dogodka na LHCb detektorju. (Dogodek 146539692, 21.5.2016.) Prikaz dogodkov je na voljo na spletu [12].

$$N_{in} = f_{in}/f_d \approx 4 \quad (2.4)$$

Mezioni B, ustvarjeni med trki, prepotujejo le nekaj milimetrov preden razpadejo. To se lahko zgodi na veliko različnih načinov, pri čemer nastajajo kombinacije različnih delcev. Ti delci od sekundarnih verteksov v VELO potujejo naprej skozi LHCb in puščajo svoje sledi na različnih detektorjih, kot je prikazano na sliki 2.3. Sledilni detektorji jih na poti zaznajo, nabitim delcem pa magnet ukrivi smer. Večina delcev se ustavi v kalorimetrih, kjer odložijo svojo energijo, mioni pa v njih le šibko interagirajo in dosežejo mionske komore.

## 2.3 Postopek zajemanja podatkov

Detektorji se na prelete delcev odzivajo s kratkimi električnimi pulzi. Te je potrebno zaznati in pravilno interpretirati, zato je vsak detektor opremljen s čitalno elektroniko, ki "čita" analogne signale z detektorja ter jih pretvori v digitalno obliko. Čitalna elektronika signale detektorjev bere periodično, tj. vsakič, ko pričakuje trk, kar pomeni vsakih 25 ns oziroma s frekvenco 40 MHz. Podatke z detektorjev sistem za zajem podatkov v resnici sprejme le, kadar pride do neelastičnih trkov, zato je učinkovita hitrost odčitavanja zmanjšana na približno 30 MHz. Na ta način aktiven detektor LHCb vsako sekundo odčita skupno okoli 32 Tb (terabitov) podatkov.

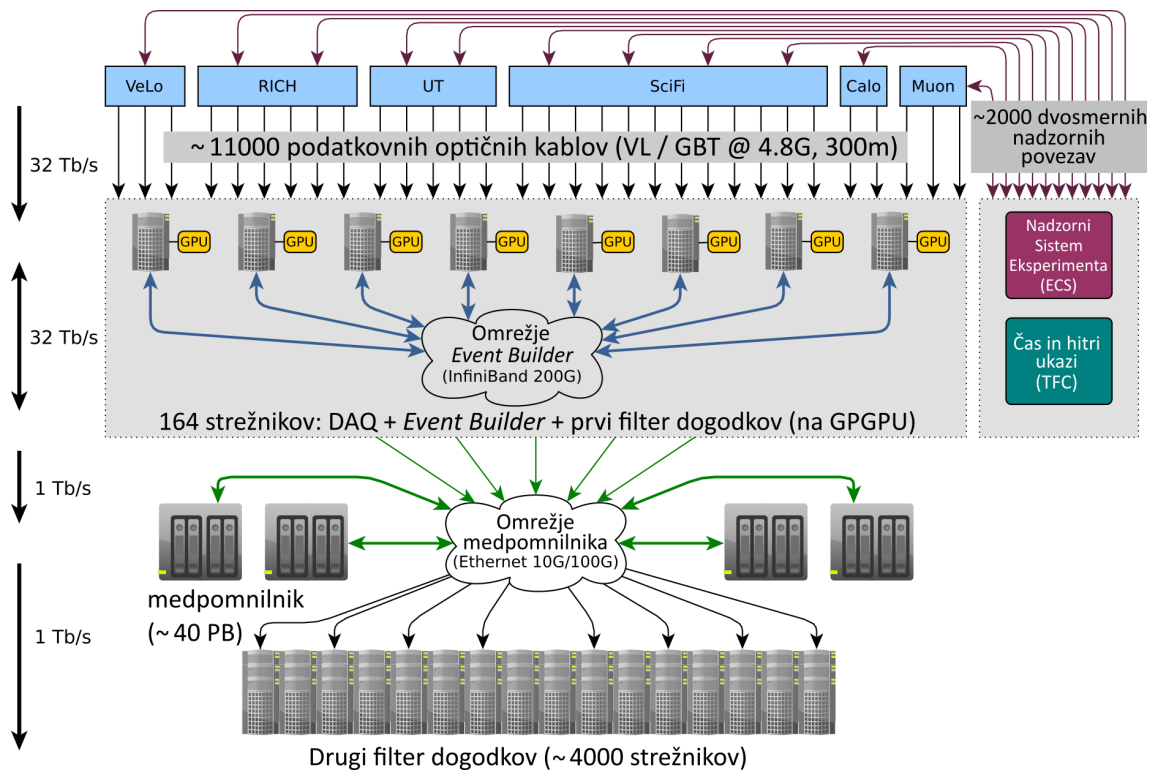
Odčitani podatki se iz čitalne elektronike, ki se nahaja v eksperimentalni jami, nenehno pretakajo do elektronike za zajem podatkov (angl. *data acquisition* oz. DAQ), ki se nahaja v podatkovnem centru na površju nad detektorjem (glej sliko 2.4). Podatki pri tem tečejo preko več kot 10.000 optičnih vlaken dolžine okoli 300 m.

Elektroniko za zajem podatkov sestavlja množica elektronskih kartic, ki so del 164 strežnikov. Kartice so posebej zasnovane za prejemanje in hitro obdelavo velike količine podatkov. O njih bomo bolj podrobno govorili v 3. poglavju. Vsaka kartica prejema podatke iz neke podskupine pod-detektorjev, torej le *drobce* (angl. *fragments*) dogodka zaznanega v celem detektorju. Njena naloga je, da drobce klasificira glede na vrsto število trkalnega dogodka, jih sestavi v primerno obliko, in jih prenese na pomnilnik svojega strežnika.

Vsi strežniki so povezani v omrežje preko katerega prejete drobce gradijo v polne



### 2.3. POSTOPEK ZAJEMANJA PODATKOV



Slika 2.4: Arhitekturni diagram sistema za zajemanje podatkov iz detektorja LHCb. Detektorji delcev, ki se fizično nahajajo v eksperimentalni jami, so prikazani na vrhu slike. Ostale prikazane komponente se nahajajo v podatkovnem centru na površju. Puščice označujejo poti podatkov in kontrolnih signalov. Puščice na levem robu slike ponazarjajo velikost toka podatkov na različnih stopnjah v sistemu. Povzeto po [13].

dogodke. To je t.i. *Event Builder Network* [13], ki je prikazan na sliki 2.4. Gradnji dogodkov sledi analiza v realnem času, ki je namenjena izločanju neželenih podatkov. Temu postopku pravimo tudi *programsko proženje* (angl. *software trigger*), ki v nasprotju s strojnimi proženjem (angl. *hardware trigger*), ki čitalno elektroniko prozi le ob željenih dogodkih, beremo vse dogodke in neželjene zavržemo kasneje. Postopek poteka v dveh fazah:

1. Prva stopnja filtra, imenovana *High Level Trigger 1* oz. HLT1 opravi delno rekonstrukcijo dogodka; to pomeni, da delno identificira delce in določi njihove poti. Nato zavrže vse dogodke, ki ne vsebujejo zanimive fizike. Pretok podatkov se pri tem zmanjša iz 32 na 1 Tb/s.
2. Druga stopnja filtra, imenovana *High Level Trigger 2* oz. HLT2 opravi polno rekonstrukcijo, tj. z najvišjo dosegljivo kvaliteto. Po tem se ohranijo samo dogodki, ki ustrezajo razpadnim kanalom mezonov B, ki jih v naprej določijo vodje eksperimenta. Dovoljen izhodni tok podatkov je 10GB/s<sup>1</sup>.

Med obema fazama so podatki shranjeni v medpomnilniku velikosti okoli 40 PB. Tam lahko čakajo do nekaj ur, dokler niso na voljo natančni podatki o kalibraciji in naravnosti detektorja, ki omogočajo polno rekonstrukcijo dogodkov. Po koncu obdelave se podatki shranijo v trajno shrambo, kjer so na voljo raziskovalcem.

## 2.4 Nadgradnje detektorja

Časovni potek zajema podatkov na pospeševalniku LHC je sestavljen iz serije daljših obdobij teka (angl. *Run*) in dolgih zaustavitev (angl. *Long Shutdown*, oz. LS). V obdobjih teka, ki trajajo nekaj let, LHC deluje in eksperimenti zbirajo podatke. Med dolgimi zaustavitvami, ki tudi trajajo nekaj let, pa LHC ne obratuje in čas je namenjen nadgradnji njegove infrastrukture.

Pomembna količina, ki opisuje uspešnost eksperimenta je integrirana luminoznost  $\mathcal{L}_{int}$ , definirana kot časovni integral luminoznosti

$$\mathcal{L}_{int} = \int \mathcal{L} dt \quad (2.5)$$

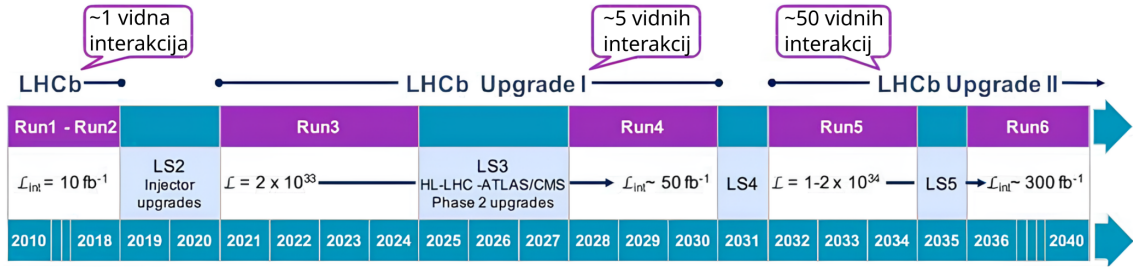
Z njo opisujemo število podatkov zbranih tekom celotnega časa delovanja eksperimenta. Pričakovano celotno število  $N_d$  opaženih dogodkov nekega tipa v zbranih podatkih dobimo kot produkt integrirane luminoznosti in preseka za ta dogodek:  $N_d = \mathcal{L}_{int} \cdot \sigma_d$ . Višja integrirana luminoznost pomeni bolj uspešen eksperiment.

Potek nadgradenj detektorja LHCb je povzet na sliki 2.5. Doslej je opravil 2 polni obdobja teka: t.i. *Run 1* od leta 2010 do 2012 in *Run 2* od 2015 do 2018. Drugemu obdobju je sledila dolga zaustavitev LS2, med katero je bila posodobljena skoraj vsa oprema detektorja. Razlog za to je bilo 5-kratno povečanje luminoznosti pospeševalnika LHC. Novo različico detektorja so poimenovali "LHCb Upgrade 1" [4] oz. prva nadgradnja. Delovati je začela leta 2021 z začetkom obdobja *Run 3*, ki je trenutno aktivno ob času pisanja.

LHCb bo deloval v konfiguraciji prve nadgradnje tekom obdobij *Run 3* in *Run 4*, nato pa bo LHC posodobljen na svojo naslednjo fazo: *High Luminosity LHC*

---

<sup>1</sup>Največji dovoljen pretok podatkov je treba ohraniti tudi pri naslednji nadgradnji z višjo luminoznostjo, kar bodo dosegli z zavračanjem ničelnih meritev in stiskanjem podatkov na čitalni elektroniki.



Slika 2.5: Časovna os nadgradenj detektorja LHCb, ki prikazuje razvoj (integrirane) luminoznosti,  $\mathcal{L}$  in  $\mathcal{L}_{int}$ , skozi čas. Natančna leta prihodnjih zagonov in dolgih zaustavitvev (LS) še niso gotova, saj je začetek LS3 trenutno že prestavljen na sredino leta 2026. Povzeto po [14].

(HL-LHC) oz. LHC visoke luminoznosti. Namen te posodobitve je doseganje kar se da visoke  $\mathcal{L}_{int}$  v vseh eksperimentih na LHC.

S to nadgradnjo se bo luminoznost v LHCb povečala za dodaten faktor 10, tj. iz  $\mathcal{L} = 2 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$  na  $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ . Zaradi tega bo potrebna ponovna nadgradnja detektorjev, da bodo kos povečani količini delcev, ustvarjenih med vsakim trkom žarkov. To bo t.i. druga nadgradnja LHCb, oz. *LHCb Upgrade 2* [6].

Posodobitve potrebne za drugo nadgradnjo bodo delno izvedli že med obdobjema *Run 3* in *Run 4*, v zaustavitvi LS3, ki se bo po trenutnih podatkih začela nekje v sredini leta 2026. V tem času načrtujejo predčasno posodobitev 2 detektorjev: RICH in ECAL [7]. Pri detektorju RICH bodo trenutno čitalno elektroniko zamenjali z novim čipom z možnostjo natančne meritve časa prihoda delcev. Ta bo omogočil razločevanje med različnimi zadetki delcev v istem trkalnem dogodku.

## 2.5 Detektor RICH

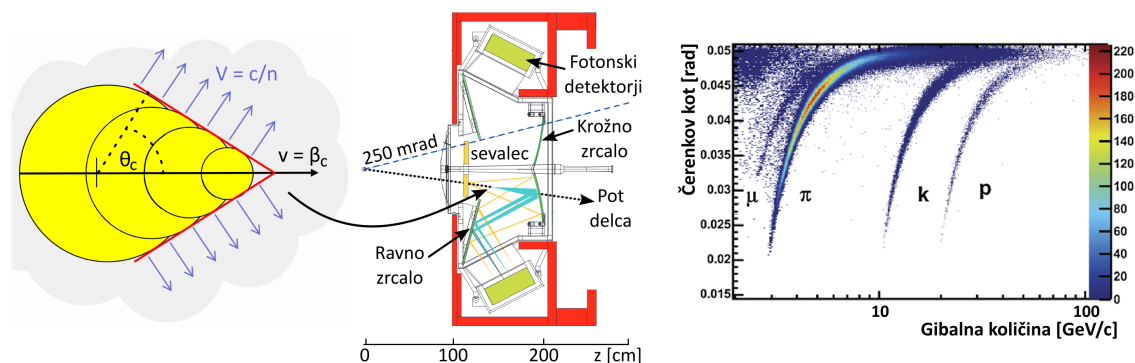
Kot je omenjeno v razdelku 2.1, sta del LHCb tudi 2 detektorja RICH, namenjena identifikaciji nabitih hadronov. Uporabna sta predvsem pri razlikovanju med kaoni in pioni, ki so običajno prisotni v končnih stanjih razpadov mezonov B. V nadaljevanju bom opisal principe identifikacije delcev v detektorjih RICH in strukturo sprednje elektronike, ki se trenutno uporablja v LHCb.

### 2.5.1 Identifikacija delcev

V končnem stanju razpadov mezonov B pričakujemo 5 tipov nabitih delcev: kaon, pion, proton, elektron in mion. Detektorja RICH uporabljamo za identifikacijo prvih treh. Tip delca enolično določimo z določitvijo njegove mase; en način, da to dosežemo, je s kombinacijo neodvisnih meritev gibalne količine in hitrosti delca. V LHCb natančne meritve gibalne količine delcev omogočata dipolni magnet in sledilni sistem, detektorja RICH pa k njim dodata meritev hitrosti.

Delovanje detektorja RICH pojasnjuje slika 2.6. Detektor zaznava sevanje Čerenkova, ki ga na svoji poti povzročajo nabiti delci. Pri tem sodelujejo naslednji sestavni deli:

1. Posoda s sevalnim medijem. Pri prehodu skozi delec okoli svoje poti izseva stožec fotonov Čerenkova.
2. Sistem krogelnih in ravnih zrcal preslika svetlobne stožce v slike obročev v goriščni ravnini.



Slika 2.6: (levo) Skica pojava Čerenkova, ko hiter nabit delec leti skozi dielektrični medij.  $\beta_c$  označuje hitrost delca,  $n$  lomni količnik medija,  $c$  pa hitrost svetlobe v vakuumu. Ko je  $\beta_c > c/n$ , se pod kotom  $\theta_c$  glede na smer delca izseva svetlobni stožec. Povzeto po [15]. (sredina) Stranski prerez detektorja RICH 1, ki prikazuje glavne sestavne dele: sevalni medij (aerogel in plin  $C_4F_{10}$ ), sistem zrcal ter fotonske detektorje. Povzeto po [3]. (desno) 2D histogram delcev identificiranih z meritvama njihove gibalne količine in Čerenkovega kota  $\theta_c$ . Povzeto po [16].

3. Polje fotonских detektorjev v goriščni ravnini zrcal zajame slike obročev. Vsako sliko sestavlja zgolj nekaj fotonov.

Polmer zaznanega obroča je odvisen od kota  $\theta_c$ , pod katerim je bila izsevana svetloba, iz njega pa izračunamo hitrost nabitega delca kot

$$\beta_c = \frac{1}{n \cdot \cos \theta_c}, \quad (2.6)$$

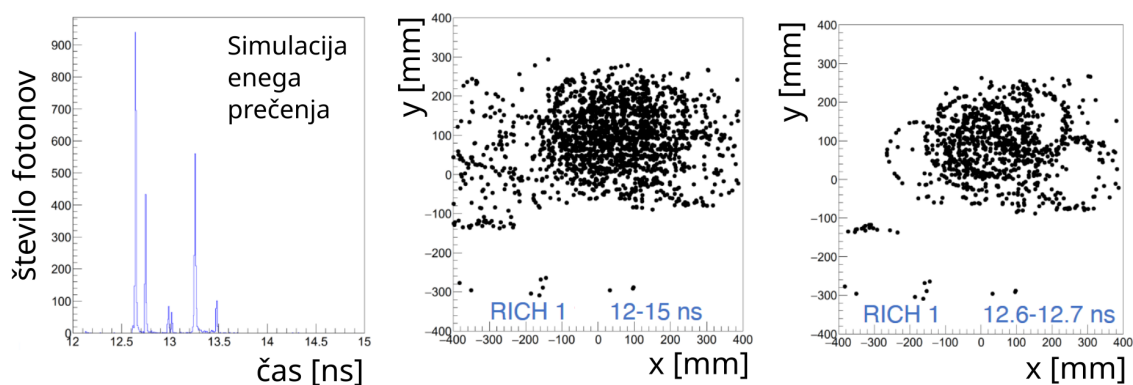
kjer je  $n$  lomni količnik sevalnega medija in  $\beta_c$  razmerje med hitrostjo delca  $v$  in hitrostjo svetlobe v vakuumu  $c$ . Delec z neko mero gotovosti identificiramo glede na kombinacijo njegove rekonstruirane sledi in Čerenkovega obroča.

Ob enem trku protonov nastane večje število delcev, ki v detektorjih RICH ustvarijo večje število obročev. Primer zaznanih fotonov na fotonских detektorjih v trenutnem stanju eksperimenta (*Run 3*) prikazuje slika 2.7. V osrednjem grafu vidimo vse fotone, zaznane med enim preходом; veliko obročev se med seboj prekriva, zaradi česar so težko razločni. Nerazločljivosti meritev zaradi prevelike zasedenosti pravimo kombinatorno ozadje.

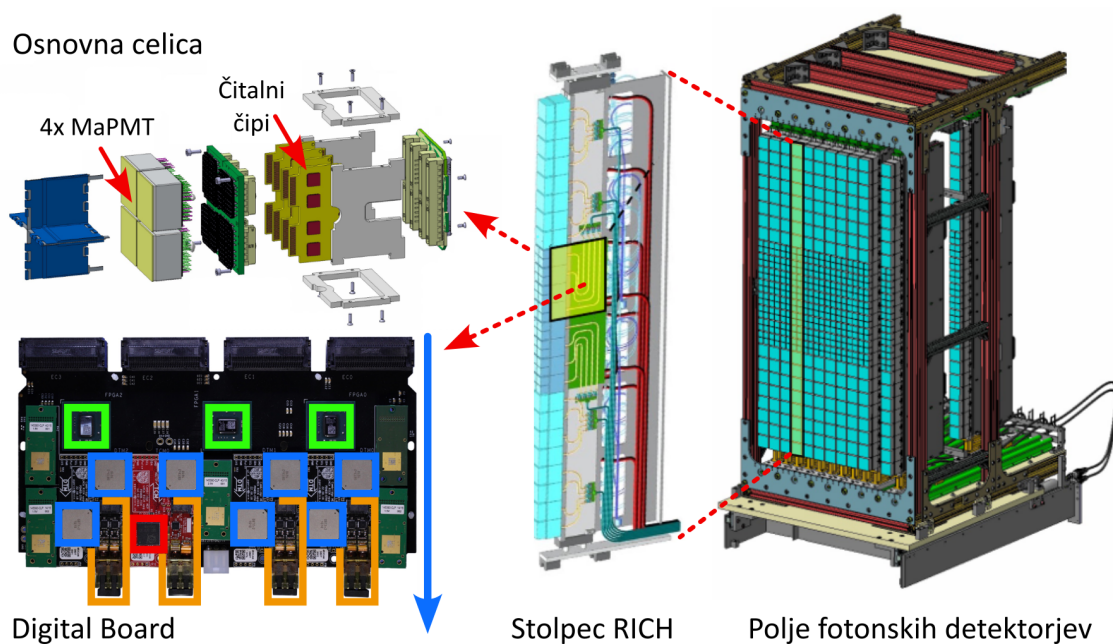
Na levem grafu vidimo, kako je mogoče ta učinek znatno zmanjšati, če lahko meritve razdelimo v krajše časovne intervale. To je ideja za naslednjo generacijo čitalne elektronike detektorjev RICH, ki bo sposobna natančno določiti čas prihoda fotonov na detektor. Več bomo o tem povedali v razdelku 3.2.

### 2.5.2 Sistem fotonских detektorjev

Oba detektorja RICH za zaznavanje posameznih fotonov uporabljata fotopomnoževalke tipa Multi-anode Photomultiplier Tube (MaPMT). Te so v obeh detektorjih razporejene na podoben način; postavljene so v dve polji, ki se nahajata v goriščnih ravninah zrcal. Primer polja fotopomnoževalk detektorja RICH2 prikazuje slika 2.8. Osnovni gradnik slednjega je osnovna celica oz. Elementary Cell (EC), ki jo sestavljajo fotonский detektorji, in čitalni čipi. Več EC je povezanih skupaj z ploščami Digital Board, ki skrbijo za prenos podatkov v podatkovni center.



Slika 2.7: Simulacija zasedenosti detektorja RICH 1 po enem prečenju protonskih snopov. Vsi fotoni prispejo znotraj intervala 1 ns. Desni dve sliki prikazujeta zaznane fotone v ravnini fotonovskih detektorjev. Povzeto po [17].



Slika 2.8: Sistem fotonovskih detektorjev v detektorju RICH 2. Vsaka od 2 ravnin vsebuje 12 stolpcev, sestavljenih iz 24 osnovnih celic (EC). Slednje vsebujejo fotonovske detektorje MaPMT ter njihovo čitalno elektroniko v obliki čipov. Po 4 EC so skupaj povezane na ploščo Digital Board, ki vsebuje elektroniko za prenos podatkov: z zeleno so označeni čipi FPGA, z modro čipi GBTX ter z oranžno optični oddajniki. Povzeto iz [7] in [4].

## POGLAVJE 2. DETEKTOR LHCb

---

Čitalni čipi pretvarjajo analogne pulze z detektorjev MaPMT v digitalne signale. Te štejejo čipi FPGA na digitalni plošči, ki je nameščena za osnovnimi celicami. Ob vsakem trku se podatki o številu zajetih fotonov s pomočjo čipov GBTX za serializacijo podatkov in optičnih oddajnikov pošljejo proti podatkovnemu centru. Bolj podrobno bom celoten sistem zajemanja podatkov opisal v naslednjem poglavju.

## 3. Sistem za zajem podatkov

Kot smo omenili že v razdelku 2.3, je sistem za zajemanje podatkov eksperimenta LHCb sestavljen iz dveh prostorsko ločenih delov: čitalne elektronike detektorjev v eksperimentalni jami in elektronike za zajem podatkov v podatkovnem centru na površju. Čitalni elektroniki pravimo tudi *sprednja* (angl. *Front-End*), saj se nahaja v “sprednjih vrstah” ob detektorju, zajemalni pa pravimo *zaledna* (angl. *Back-End*), saj se nahaja v “zaledju”, daleč od detektorja. Obe stani povezuje elektronika za serijski prenos podatkov preko optičnih kablov.

Ker je sprednja elektronika nameščena tik ob detektorjih, mora biti posebej prilagojena na grobe razmere, ki vladajo med delovanjem eksperimenta. To pomeni predvsem, da mora biti odporna na sevanje. Ker je tik ob detektorjih prostor zelo omejen, mora biti elektronika tudi kompaktna in energetsko učinkovita, da se prepreči pregrevanje. Iz teh razlogov je večina sprednje elektronike izvedene v obliki čipov tipa ASIC (*Application-specific integrated circuit*), po meri zasnovanih v CERN-u.

Zaledna elektronika je postavljena na varno razdaljo od detektorja, s čimer se izogne omejitvam sprednje elektronike. V podatkovnem centru zato lahko uporabljamo komponente, ki so na voljo pri komercialnih proizvajalcih; to so predvsem čipi tipa FPGA (*Field-programmable gate array*). Uporaba bolj standardnih komponent olajša gradnjo sistema in omogoči uporabo najnaprednejše tehnologije za obdelavo podatkov.

V naslednjih razdelkih najprej podrobneje razložim oba omenjena tipa čipov, nato pa opišem vse tri stopnje sistema za zajem podatkov: sprednjo, prenašalno in zaledno. Pri sprednji elektroniki se osredotočim na čitalno elektroniko detektorja RICH, ki jo bo v naslednjih letih potrebno nadgraditi. Tudi pri ostalih dveh stopnjah povem, kako se bodo morale prilagoditi glede na zahteve nadgrajene čitalne elektronike.

### 3.1 Čipi FPGA in ASIC

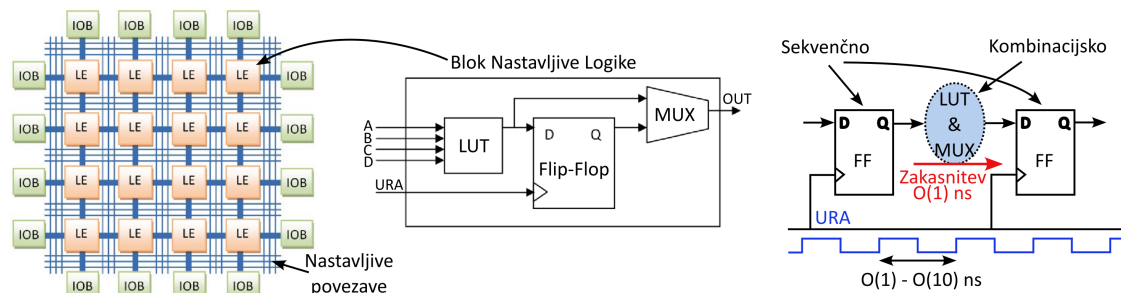
Tako ASIC kot FPGA sta obliki integriranih vezij, tj. vezij zgrajenih na polprevodniškem substratu oz. čipu. V primerjavi s tiskanimi vezji so integrirana mnogo hitrejša, kompaktnjša in bolj energijsko učinkovita. Te lastnosti pridejo zelo prav v eksperimentu LHCb, kjer je treba odčitavati veliko količino podatkov z visoko časovno natančnostjo.

ASIC je bolj splošna oblika integriranega vezja. Kot nam pove že ime, je to poljubno integrirano vezje ustvarjeno za določeno uporabo. V LHCb, na primer, vsakemu detektorju pripada posebej zasnovan čitalni čip ASIC. Kot bomo videli v naslednjih razdelkih, je tudi del elektronike za serijski prenos v obliki čipov ASIC. Primer vezja ASIC je prikazan na desni strani slike 3.2.

Glavna lastnost vseh čipov ASIC, uporabljenih v sprednji elektroniki detektorja



## POGLAVJE 3. SISTEM ZA ZAJEM PODATKOV



Slika 3.1: Osnove vezij FPGA. (*levo*) Polje logičnih elementov (LE), ki so medsebojno povezani z nastavljivo mrežo povezav. Na robovih se nahajajo vhodno/izhodni bloki (IOB). (*sredina*) Vsak LE vsebuje iskalno tabelo (LUT), multiplekser (MUX) in flip-flop (FF). Povzeto po [18]. (*desno*) Prikaz sekvenčnega in kombinacijskega izvajanja vezja. Perioda sekvenčnega je definirana s signalom ure. Signali se ob prehodu kombinacijskih vezij zakasni.

LHCb je, da so ustvarjeni na način prilagojen večjim sevalnim dozam. Integrirana vezja so narejena iz velikega števila tranzistorjev, ki so lahko občutljivi na enkratne dogodke motenj (angl. *Single Event Upset* oz. SEU); ti se zgodijo kadar izsevani delec zadane tranzistor in mu spremeni stanje. Z uporabo primerne polprevodniške tehnologije ter namenskim oblikovanjem vezja, lahko ASIC naredimo odporen na določeno mero sevanja. Snovanje čipov ASIC je razmeroma zahtevno. Ko je vezje dokončno oblikovano, lahko traja več mesecev, preden je fizična različica na voljo. Za to se te čipe proizvaja v večjih serijah, pri čemer moramo biti dovolj gotovi, da v načrtu vezja ni napak.

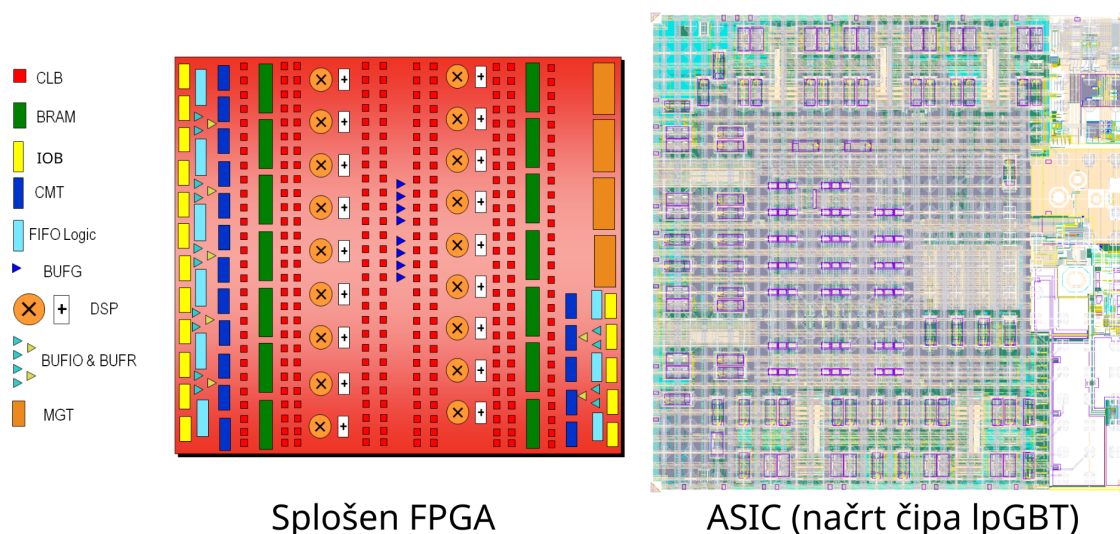
Težavnosti snovanja čipov ASIC odpravljajo čipi FPGA. To so integrirana vezja sestavljena iz polja nastavljivih elektronskih elementov z nastavljivimi medsebojnimi povezavami. Elementi vezja FPGA nam omogočajo tvorbo poljubnih digitalnih integriranih vezij brez potrebe po ponovni fizični proizvodnji. Novo vezje lahko tvorimo, oz. “programiramo”, ko je čip že nameščen v sistem, torej na terenu (angl. “field”); od tod pride izraz “field-programmable”.

Osnovna struktura vezja FPGA je prikazana na levi strani slike 3.1. Njeni glavni gradniki so t.i. nastavljivi logični bloki oz. configurable logic block (CLB). Kot je prikazano na sredini slike 3.1, vsak blok vsebuje naslednje 3 osnovne gradnike logičnih vezij:

1. Iskalna tabela oz. lookup table (LUT) kodira poljubno logično funkcijo, tako da ima za vsako kombinacijo vhodnih signalov shranjen primerni izhodni signal.
2. Flip-flop (FF) je osnovni pomnilniški element. Ob vsakem robu signala ure si zapomni nov izhod iz LUT.
3. Multiplekser (MUX) izbira kateri signal podati na izhod bloka: trenutno vrednost iz iz LUT ali shranjeno iz FF.

Sestavljanje logičnih blokov v kompleksna vezja nam omogoča nastavljiva mreža povezav med njimi. Pri tem lahko iskalne tabele LUT iz več blokov kombiniramo v večja kombinacijska vezja. Gradnike FF pa uporabljamo za ustvarjanje sekvenčnih





Slika 3.2: Primerjava čipov FPGA in ASIC. Prikazana je splošna arhitektura čipov FPGA proizvajalca AMD. Označeni so najbolj pogosti elementi FPGA-jev: CLB (blok nastavljive logike), BRAM (bločni pomnilnik), IOB (vhodno-izhodni blok), MGT (več-gigabitni oddajnik sprejemnik) in ostali. Primer ASIC-a je arhitektura čipa lpGBT, za serijsko komunikacijo na sprednji elektroniki detektorjev pospeševalnika LHC. Povzeto po [19] in [20].

vezij, kjer se logične operacije izvajajo v časovnih intervalih, ki jih definira periodični signal ure. Ta princip je prikazan na levi strani slike 3.1.

Vezja FPGA konfiguriramo tako da vanj zapišemo niz bitov (angl. *bitstream*), ki nastavijo vse logične elemente. Temu nizu pravimo tudi *mikrokoda* (angl. *firmware*). Ustvarimo ga s pomočjo orodij za sintezo vezij, ki jih ponujajo proizvajalci čipov FPGA. Poleg natančne izbire in povezav logičnih elementov, ta orodja skrbijo še za primerno usklajenost vseh časovnih zamikov znotraj sekvenčnega vezja.

Sodobni komercialno dostopni čipi FPGA lahko vsebujejo od  $\mathcal{O}(10^3)$  do  $\mathcal{O}(10^6)$  logičnih elementov. Poleg zgoraj opisanih osnovnih elementov vključujejo še ostale; najbolj pogosti so prikazani na levi strani slike 3.2. V sistemu za zajem podatkov eksperimenta LHCb so posebej uporabna jedra za več-gigabitno serijsko oddajanje in sprejemanje Multi-gigabit Transceiver (MGT).

MGT so naprave SerDes (serializator/de-serializator), ki so sposobne serijskega oddajanja in sprejemanja s hitrostjo nad 1 Gb/s. Pred oddajanjem se podatki serializirajo: širša podatkovna vodila pri nižji frekvenci ure se pretvorijo v niz posameznih bitov pri frekvenci, ki je za ustrezen faktor višja. Ob sprejemanju izvajamo obraten postopek de-serializacije. Eksperimenti na LHC uporabljajo serijske hitrosti do 10,24 Gb/s na eno optično povezavo. Gradnike MGT je potrebno implementirati tudi v čipih ASIC na sprednji elektroniki.

Delo s čipi FPGA je lažje in hitrejšo kot z ASIC-i, vendar pa niso primerni za uporabo v okolju z visokim sevanjem, zato jih uporabljamo predvsem v zaledni elektroniki.

## 3.2 Sprednja elektronika detektorja RICH

Čitalna elektronika detektorjev RICH je ena ključnih komponent, ki jo bodo posodobili v naslednjih nadgradnjah detektorja LHCb. Kot smo omenili v razdelku 2.5.2



Slika 3.3: Način štetja fotonov s časovno informacijo. (*levo*) Vpadni foton povzroči plaz elektronov znotraj fotopomnoževalke MaPMT, kar povzroči hiter tokovni pulz na enem od izhodnih kanalov. (*sredina in desno*) Pulz iz detektorja pride na vhodni kanal čitalnega čipa. Slednji se odzove z dvema digitalnima pulzoma: prvi označuje čas prihoda, drugi pa velikost prejete energije, oz. število zaznanih fotonov. Prikazane signale so izmerili s čipom HRFlexToT [22], predhodnikom čipa FastRICH. Čipi, prikazani na desni, so FastIC [23], ki so trenutni prototip novega sistema. Čipi FastRICH še niso na voljo. Povzeto po [4] in [24]

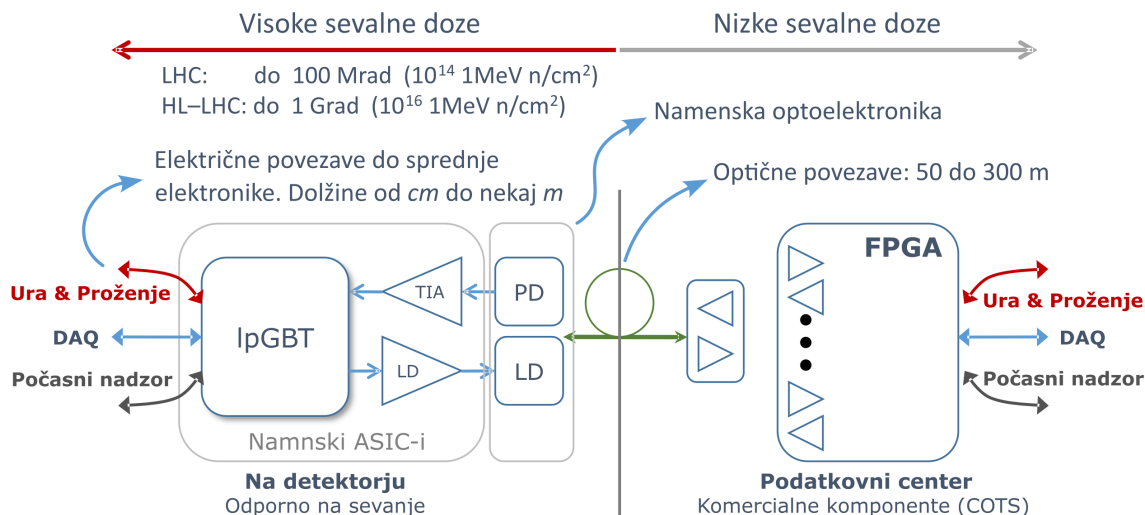
je trenutna čitalna elektronika detektorjev RICH kombinacija čipov ASIC in FPGA. V drugi nadgradnji bo to postavitev potrebno zamenjati. S povečano luminoznostjo žarkov se bo povečala tudi sevalna doza in uporaba FPGA ne bo več mogoča. Zato se bodo trenutna kombinacija čipov združili v en sam ASIC, imenovan FastRICH [21]. Dodatno bo ta čip poleg štetja fotonov omogočal še natančno določanje časa prihoda, kar je ključno za razlikovanje med povečanim številom zadetkov, ki jih pričakujemo pri višji luminoznosti žarkov.

Princip odčitavanja fotonov s čipom FastRICH je prikazan na sliki 3.3. Čip na vsakem čitalnem kanalu vhodni signal analizira z dvema vzporednimi vezji:

1. Vezje Time over Threshold (ToT) meri, kako dolgo vhodni pulz ostane nad določenim pragom. Izhod vezja je digitalni pulz enake časovne dolžine. Čas nad pragom je sorazmeren s količino energije odložene v detektorju, kar je povezano s številom zaznanih fotonov.
2. Vezje Time of Arrival (ToA) je zasnovano za hiter odziv na vhodni pulz. Izhod je digitalni signal s kratko in deterministično zakasnitvijo. Cilj je natančna določitev časa prihoda fotona.

Natančne informacije o času fotonov zadetkov bodo identifikacijski algoritmi uporabljali za zmanjšanje kombinatornega ozadja pri meritvah obročev Čerenkova. Večina fotonov tipično prispe v časovnem oknu  $\sim 200$  ps. Razvrščanje fotonov zadetkov v časovne predalčke, krajše od tega okna, bi omogočilo razlikovanje med prekrivajočimi se slikami obročev. V nadgradnji 2 bo pričakovana zasedenost detektorja 10-krat večja od trenutne, zaradi česar so meritve ToA bistvene. Željena časovna natančnost detektorjev RICH v drugi nadgradnji LHCb je reda  $\mathcal{O}(10$  ps) ali manj.

### 3.3. ELEKTRONIKA SERIJSKEGA PRENOSA



Slika 3.4: Shema elektronike serijskega prenosa lpGBT / VL+. Na sprednji strani se ob čitalnih čipih detektorjev uporablja set 3 čipov ASIC: oddajnik-sprejemnik lpGBT, transimpedančni ojačevalnik (lpGBT)TIA in laserski gonilnik (lpGBT)LD. Na zaledni strani so čipi FPGA povezani s pomočjo mikrokode protokola lpGBT. Povzeto po [25]

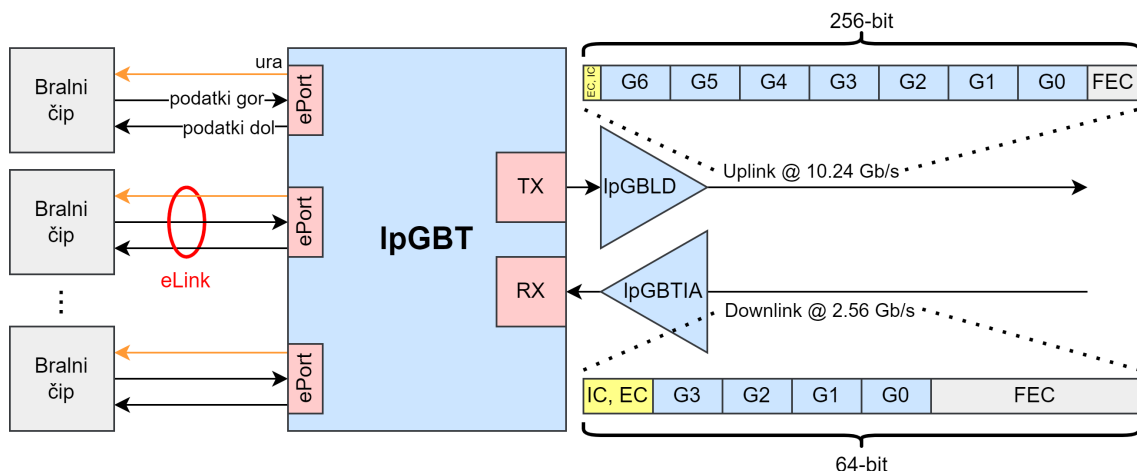
### 3.3 Elektronika serijskega prenosa

Sprednja elektronika podatke proti zaledju pošilja serijsko. Prednost serijskega prenosa pred vzporednim je, da uporablja manj kablov in lahko podatke brez napak prenaša preko daljših razdalj. Dodatne prednosti prenosa preko optičnih vlaken so lažji in tanjši kabli, manjša poraba energije in odpornost na elektromagnetne motnje. Za serijski prenos podatkov z detektorjev so v CERN-u razvili set elektronskih komponent in komunikacijskih protokolov, ki hkrati omogočajo visok pretok podatkov in odpornost na sevanje. Delijo se na projekta: lpGBT (low-power GigaBit Transceiver) [20], ki vsebuje set čipov ASIC za serializacijo podatkov in Versatile Link Plus (VL+), ki vsebuje opto-elektronske komponente za prenos preko optičnih vlaken.

Shemo sistema za prenos podatkov prikazuje slika 3.4. Na zaledni strani so uporabljeni komercialno dostopni čipi FPGA, ki vsebujejo mikrokode za komunikacijo preko protokola lpGBT, na sprednji strani imamo pa set 3 ASIC-ov projekta lpGBT:

1. Glavni čip se imenuje kar lpGBT. Ta zajema podatke z več čitalnih čipov naenkrat, ter jih združeno serializira. Poleg tega ta čip iz zaledja tudi prejema nadzorne podatke ter signal ure.
2. lpGBTIA je transimpedančni ojačevalnik. Tokovni signal iz fotodiode optičnega sprejemnika pretvarja v napetostnega.
3. lpGBLD je laserski gonilnik. Digitalni signal serijskih podatkov pretvarja v modulacijski tok za laserski optični oddajnik.

Delovanje čipa lpGBT je prikazano na sliki 3.5. Podatke lahko zbira iz več čitalnih čipov preko do 28 serijskih povezav imenovanih eLink. Podatki se vsak urni cikel (okoli 25 ns) zberejo v skupni paket in pretočijo preko hitrega serijskega



Slika 3.5: Čip IpGBT zbira podatke iz več čitalnih čipov preko serijskih povezav eLink. Vse podatke zbere v enoten paket in jih pošlje preko optične povezave *uplink*, ki ima v tem primeru hitrost 10,24 Gb/s. Podatki s povezav eLink se razdelijo v 7 gruč velikosti 32 bitov; te so označene od G0 do G6. Na podoben način deluje povezava *downlink* za pošiljanje podatkov na čitalne čipe.

vmesnika MGT. Čip omogoča komunikacijo tudi v drugo smer: zaledje lahko pošilja nadzorne in kalibracijske podatke na sprednjo elektroniko.

Podatkovni povezavi od zaledja navzdol do sprednjih komponent pravimo *downlink*, povezavi v drugi smeri pa *uplink*. Prva ima vedno hitrost 2,56 Gb/s, tako da so ob frekvenci 40 MHz podatkovni paketi velikosti 64 bitov. Pri povezavi *uplink* pa lahko izbiramo med hitrostma 5.12 Gb/s ali 10.24 Gb/s, kar vpliva tudi na velikost paketov, ki je 128 ali 256 bitov. Struktura paketov je skicirana na sliki 3.5.

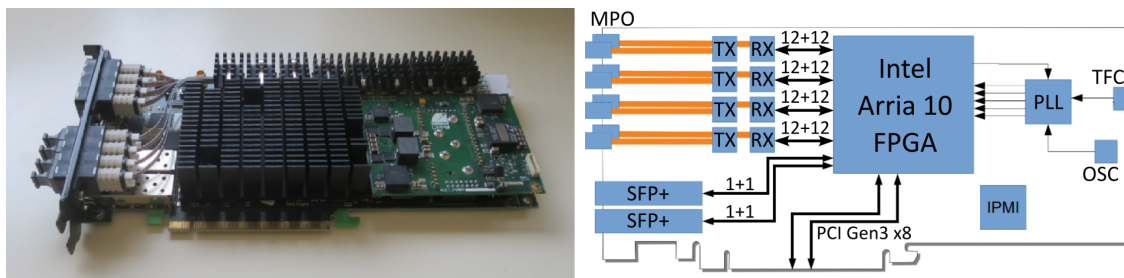
Postopek gradnje paketov je sestavljen iz naslednjih korakov:

1. Ureditvev v podatkovno strukturo, pri čemer podatkom z vsake povezave eLink pripada določeno mesto v paketu. Vsem podatkom v paketu pravimo tovor.
2. Šifriranje podatkov (angl. *scrambling*) je uporabljeno, da se biti zmešajo.
3. Izračun kode Forward Error-Correction (FEC) za odpravljanje napak v prenosu.
4. Koda FEC se doda paketu, nato pa se deli paketa med seboj prepletejo.

Koda FEC je pomembna za popravljanje napak zaradi že omenjenih dogodkov SEU, ki so zelo pogosti v okolju z večjim sevanjem. Šifriranje podatkov pa poskrbi za t.i. "DC-uravnoveženost" (angl. *DC-balance*) serijskega signala, kar pomeni, da je v nizu bitov enako število ničel in enic. To je pomembno na sprejemni strani, kjer je iz prejetega signala treba obnoviti signal serijske ure in niz bitov.

### 3.4 Zaledna elektronika

Naloga zaledne elektronike je trojna: zajemanje podatkov, nadzor eksperimenta in distribucija časovne reference preko detektorja. Vse te naloge opravlja isti tip elektronske komponente: kartica s čipom FPGA imenovana PCIe40, prikazana na sliki 3.6.



Slika 3.6: Kartica PCIe40 nosi čip FPGA Intel Arria 10, ki vsebuje 72 jeder MGT. Od teh je 48 je povezanih na 8 priključkov tipa MPO-12 (vsak prejme 12 optičnih linij). S tem je mogoč zajem podatkov iz do 48 sprednjih komponent (od tod številka 40 v imenu kartice). Dve jedri MGT sta povezani na 2 priključka SFP+, uporabljena za distribucijo ure in nadzora v realnem času. Ostalih 16 MGT je uporabljenih za komunikacijo s strežnikom preko vodila Peripheral Component Interconnect express (PCIe). Povzeto po [4] in [8].

Celoten sistem vsebuje okoli 520 kartic, ki so razporejene med 164 strežnikov. Čip FPGA, ki ga vsebujejo, je relativno velik in omogoča veliko število visoko-pretočnih povezav: vsaka kartica lahko zajema podatke iz 48 sprednjih komponent in jih preko vodila Peripheral Component Interconnect express (PCIe) pretaka na svoj strežnik. Kartice v sistemu igrajo različne vloge in se glede na mikrokodo vgrajeno v svoj FPGA delijo na tri tipe:

1. SODIN je nadzornik sistema za zajem podatkov. Deluje kot izvor časovne reference in ukazov v realnem času. Le ena kartica v sistemu ima to vlogo.
2. SOL40 so krmilne kartice. Njihov namen je razprševanje ure in ukazov s SODIN-a preko celotnega sistema. Uporablja se 42 takih kartic.
3. TELL40 so kartice za zajem podatkov. Te prejemajo podake iz sprednjih elektronskih komponent detektorja. Skupaj je v sistemu 480 zajemalnih kartic, ki zbirajo podatke iz okoli 11000 optičnih povezav.

Mikrokoda TELL40 je sestavljena iz ogrodja, ki omogoča vstavljanje različnih komponent za obdelavo podatkov iz detektorja. Vsak pod-detektor namreč potrebuje svoj specifični način interpretacije zajetih podatkov. Čipe na karticah TELL40 je torej potrebno programirati s pravilno različico mikrokode, glede na to s katerega pod-detektorja prejema podatke.

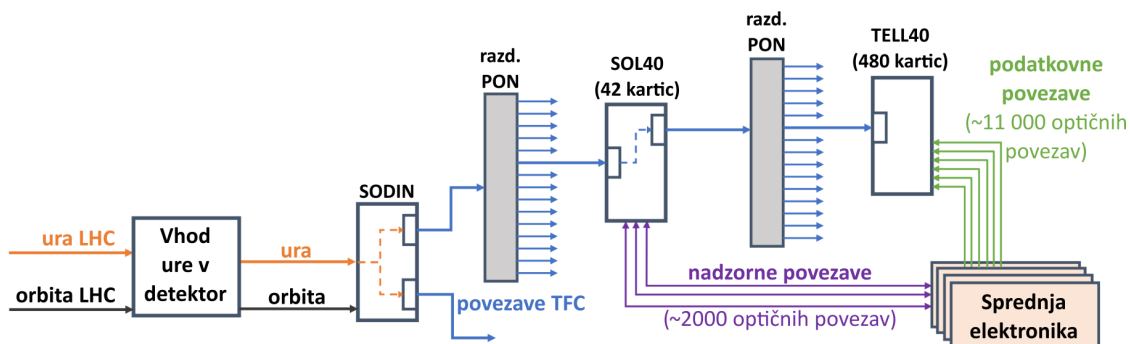
### 3.4.1 Distribucija ure in hitrih ukazov

Kot že omenjeno, se dva tipa zalednih kartic - SODIN in SOL40 - uporabljata za distribucijo časovnega signala ure in hitrih ukazov v realnem času<sup>1</sup>. S tem namenom se vse komponente za zajem podatkov prek optičnih kablov povezujejo v omrežje imenovano Timing and Fast Control (TFC) [8]. Podrobnosti slednjega so prikazane na sliki 3.7.

Časovna referenca prihaja iz infrastrukture LHC in je sestavljena iz dveh signalov: ure gruče (angl. *bunch clock*) in signala orbite. Ura ima frekvenco 40 MHz in je sinhrona s prihodom gruč protonov v detektor. Signal orbite pa sporoča vsak polni

<sup>1</sup>Nadzor v realnem času, deluje z natančnostjo časovne ločljivosti eksperimenta, torej 25 ns.





Slika 3.7: Omrežje Timing and Fast Control (TFC) je sestavljeno iz zalednih kartic, povezanih v 3-nivojsko drevesno strukturo z uporabo tehnologije pasivnega optičnega omrežja (angl. *Passive Optical Network* oz. PON). Na vrhu je nadzorna kartica SODIN, ki je vstopna točka za uro gruče in signal orbite LHC. Nadzornik SODIN je preko 2 optičnih razpršilcev povezan na 42 krmilnih kartic (SOL40). Te krmilijo sprednjo elektroniko na detektorju preko dvosmernih povezav. Poleg tega ukaze in uro preko dodatnih optičnih razpršilcev posredujejo še zajemalnim karticam TELL40. Povzeto po [8].

obhod delcev okoli pospeševalnika. Poleg teh signalov je na voljo shema polnjenja LHC, ki določa natančne položaje polnih in praznih protonskih gruč v obeh žarkih. Tako TFC natančno ve, v katerih ciklih ure naj pričakuje trke; ta informacija se razširja do zajemalnih kartic TELL40, ki tako lahko že ob sprejemu zavržejo prazne dogodke.

Na vsaki točki omrežja TFC morajo serijski sprejemniki uro gruče LHC obnoviti iz prejetega niza podatkov. To storijo vezja s fazno zaklenjeno zanko (PLL) znotraj sprejemnikov MGT, ki se zaklenejo na bitne prehode. Zaradi podrobnosti širjenja po sistemu, signal ure doseže sprednje komponente s poljubnimi faznimi zamiki. Čitalna elektronika vsakega pod-detektorja potrebuje dobro definirano fazo ure, da lahko podatke vzorči ob pravih časih; ti se za vsak pod-detektor razlikujejo glede na to, koliko je oddaljen od točke interakcije.

Proces distribucije ure po celotnem sistemu se mora zato izvajati deterministično in z dovolj veliko natančnostjo. Trenutna natančnost obnovljene faze ure v sistemu je  $\sim 250$  ps. V razdelku o detektorju RICH smo povedali, da bo morala nova sprednja elektronika delovati z natančnostjo reda  $\mathcal{O}(10)$  ps. To pomeni, da bo potrebno izboljšati tudi natančnost distribucije ure. Raziskave v CERN-u so že pokazale, da je z nekaterimi tipi FPGA [26] mogoče doseči natančnost pod 10 ps (v laboratorijskih pogojih). To so možni kandidati za naslednjo generacijo zaledne elektronike. V tem magistrskem delu med drugim preizkušam tudi pošiljanje ure z nekaterimi od teh čipov.

# 4. Emulator sprednje elektronike lpGBT

V podporo pri razvoju naslednje generacije elektronskih komponent za zajem podatkov v detektorju LHCb sem razvil emulator sprednje elektronike, ki uporablja nov protokol serijskega prenosa, lpGBT. V angleščini ga imenujemo *lpGBT Frontend Emulator* oziroma *LFE*. Ideja emulatorja je, da lahko s pomočjo čipa FPGA v laboratoriju posnemamo obnašanje poljubne sprednje elektronske komponente. Na ta način lahko razvijamo in testiramo novo zaledno elektroniko, še preden imamo na voljo fizične različice sprednje. Poleg tega lahko predčasno preverimo tudi pravilnost delovanja sprednjih komponent. Emulator nam omogoča tudi, da nove komponente preizkušamo in popravljamo v laboratoriju, preden jih namestimo v končni detektorski sistem.

## 4.1 Opis sistema LFE

Emulator LFE je v osnovi sestavljen iz nekaj razvojnih plošč ter povezav med njimi. Skico laboratorijske postavitve prikazuje slika 4.1. Jedro sistema predstavljata plošči ZCU102 in VLDB+, ki imata vlogo sprednje elektronike. Sistem omogoča priključevanje različnih prototipov zaledne elektronike; v primeru sistema na skici 4.1 je to plošča XEM8320, ki z emulatorja prejema 4 vzporedne optične povezave.

Osnova emulatorja je razvojna plošča ZCU102 s čipom *Zynq Ultrascale+ MPSoC* proizvajalca Advanced Micro Devices (AMD)<sup>1</sup> [27]. Čip Zynq ni običajen FPGA ampak vsebuje sistem, sestavljen iz dveh delov:

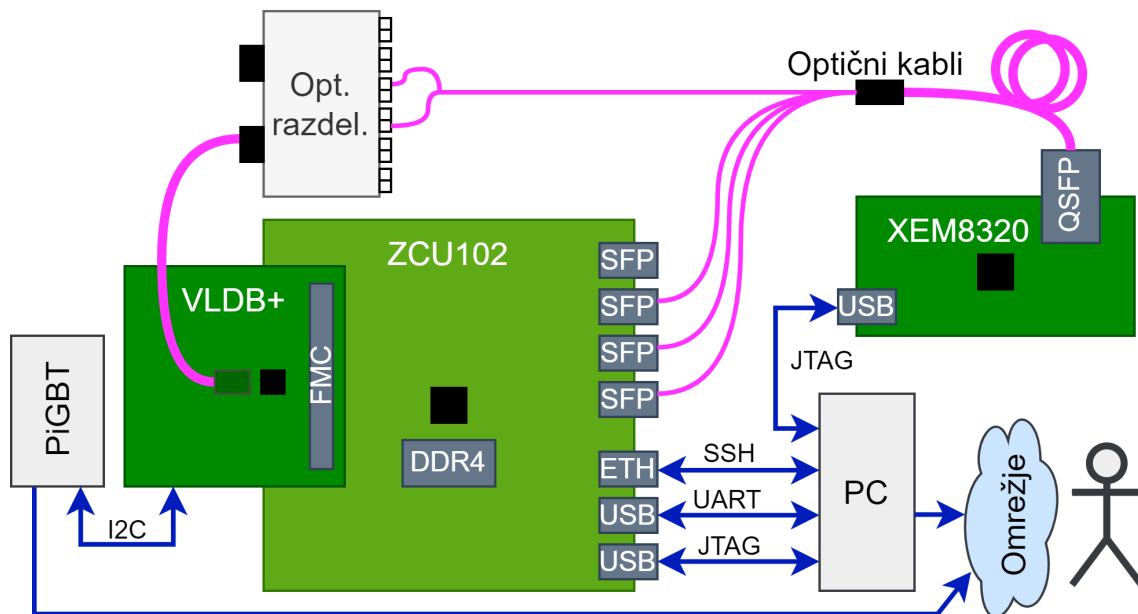
1. Programabilna logika (PL) vsebuje vezje FPGA. V njem lahko gradimo vse namenske digitalne komponente emulatorja.
2. Procesni sistem (PS) vsebuje procesorska jedra, razna podatkovna vodila ter pomnilniški krmilnik. Te dodatne “trde” komponente nam omogočajo pogonjanje programske opreme na čipu.

PL in PS sta med seboj povezana z več podatkovnimi vodili. Preko njih lahko s pomočjo programske opreme, ki se izvaja na PS delu, upravljamo komponente, ki jih oblikujemo v PL. Poleg tega jih lahko uporabimo za pretakanje podatkov iz pomnilnika v FPGA, s čimer lahko posnemamo izhodni tok podatkov poljubnega detektorja.

Na razvojni plošči ZCU102, poleg sistema na čipu Zynq, najdemo tudi nekaj uporabnih perifernih enot:

---

<sup>1</sup>Nedavno Xilinx.



Slika 4.1: Skica postavitve emulatorja LFE v laboratoriju. Z zeleno so prikazane tri razvojne plošče. Priključki so prikazani s temno sivo, optične povezave pa z roza barvo. Zunanje naprave so prikazane v svetlo sivi njihove povezave s sistemom pa v modri barvi. Uporabnik emulator nadzoruje preko lokalnega omrežja.

1. Pomnilniško enoto velikosti 4 GB uporabljamo kot medpomnilnik za simulirane podatke detektorja, ter za izvajanje programske opreme na procesnem sistemu.
2. V kletko s 4 priključki SFP+ (Small Form-factor Pluggable Plus) namestimo optične oddajno-sprejemne module, ki so sposobni serijske komunikacije preko optičnega kabla s hitrostmi do 10 Gb/s.
3. Dva priključka FMC (FPGA Mezzanine Card) omogočata razširitev razvojne plošče z dodatno (mezaninsko) kartico.

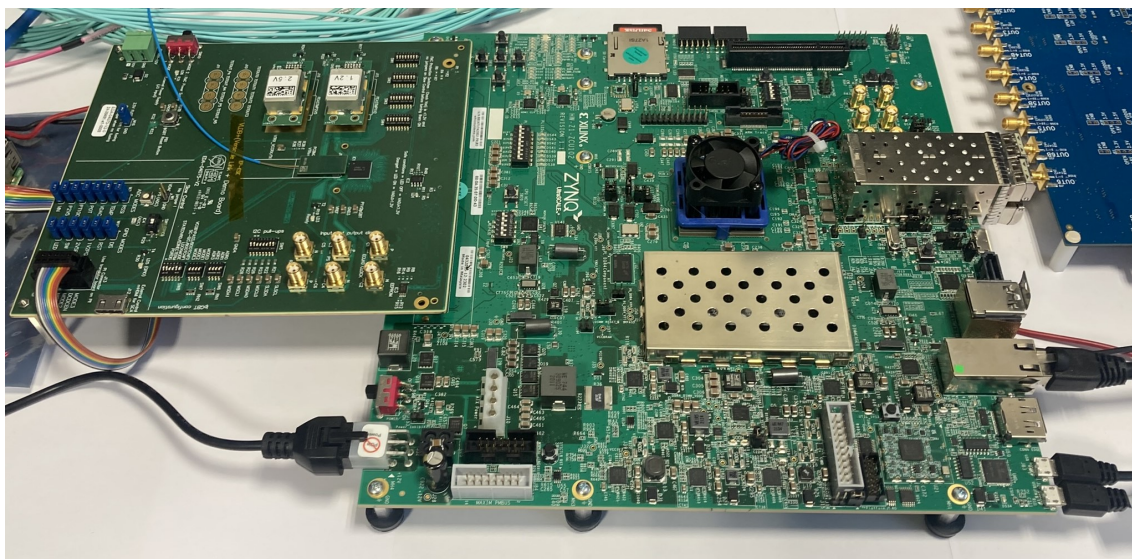
Na priključka FMC namestimo razvojno ploščo Versatile Link Plus Demonstrator Board (VLDB+), ki so jo v CERN-u zasnovali za testiranje komponent sistema lpGBT / VL+ [28]. Postavitev sistema obeh plošč je prikazana na sliki 4.2.

Plošča VLDB+ nosi čip lpGBT ter optični oddajno-sprejemni modul VTRx+<sup>2</sup>, ki je del opto-elektronike VL+. Serijski vmesniki eLink čipa lpGBT, so povezani preko priključkov FMC, na FPGA čip emulatorja na glavni plošči. S pošiljanjem podatkov preko teh povezav posnemamo obnašanje realnega sistema, kjer en sam čip lpGBT lahko zbira podatke z več sprednjih čitalnih komponent detektorjev. Zbrane podatke čip lpGBT združeno pošilja preko ene od optičnih linij modula VTRx+.

Na skici sistema (slika 4.1), je prikazan tudi krmilni modul PiGBT, s katerim lahko v testnem okolju na enostaven način upravljamo s čipom lpGBT. PiGBT je osnovan na mikroprocesorskem sistemu Raspberry Pi in se na kartico VLDB+ poveže preko vodila I2C. Poleg tega implementira spletno aplikacijo, do katere lahko uporabnik dostopa preko lokalnega omrežja in preko nje upravlja s čipom lpGBT.

<sup>2</sup>Versatile Link Plus Transceiver (VTRx+) vsebuje 5 optičnih linij. V realnem sistemu se vsaka lahko uporablja kot oddajna ali sprejemna povezava enega čipa lpGBT.





Slika 4.2: Razvojni plošči VLDB+ (levo) in ZCU102 (desno). VLDB+ nosi čip lpGBT. Na ploščo ZCU102 je montirana preko priključka FMC. ZCU102 je razvojna plošča za sistem na čipu Zynq Ultrascale+ MPSoC proizvajalca AMD. Skupaj ti plošči tvorita strojno podporo za emulator sprednje elektronike.

V realnem sistemu se tega modula ne uporablja, upravljanje čipov lpGBT pa je integrirano v kontrolni sistem celotnega eksperimenta.

Na sliki 4.3 je prikazan primer razvojne plošče, ki služi kot prototip zaledne elektronike; to je kartica XEM8320. Na njej najdemo FPGA čip serije Artix UltraScale+, ki se odlikuje po nižji ceni in večjem številu jeder MGT. S pomočjo četvernega optičnega oddajno-sprejemnega modula nam ta kartica omogoča priklop 4 dvosmernih optičnih linij preko priključka QSFP+ (Quad Small Form-factor Pluggable Plus). Vse 4 linije lahko polno zasitimo s podatki iz emulatorja in na ta način preizkušamo nove visoko-pretočne načine zajemanja podatkov v zaledju.

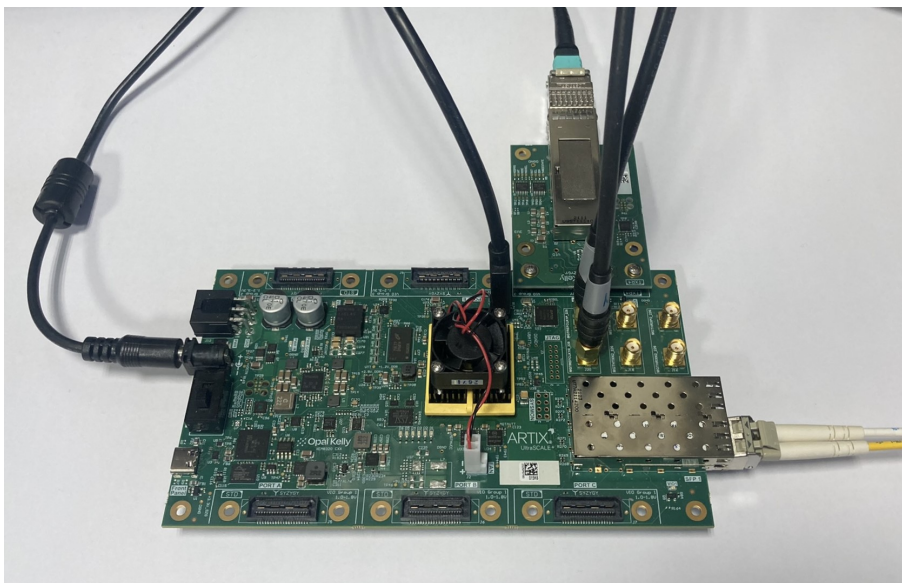
Na sliki 4.4 bolj podrobno ponazarja kako podatki tečejo od emulatorja sprednje na prototip zaledne elektronike. Emulator podpira 4 dvosmerne optične povezave:

1. Tri preko optičnih oddajno-sprejemnih modulov v kletki SFP+. Za vako od teh je funkcionalnost čipa lpGBT posnemana znotraj čipa FPGA (več o tem v naslednjem razdelku).
2. Eno preko čipa lpGBT. Izhod čipa je na plošči VLDB+ povezan na modul VTRx+, iz katerega je speljan snop 5 optičnih vlaken. Dve od teh predstavljata sprejemno in oddajno linijo, ostala pa so neuporabljena; ustrezni dve vlakni iz snopa izločimo s pomočjo optičnega razdelilca.

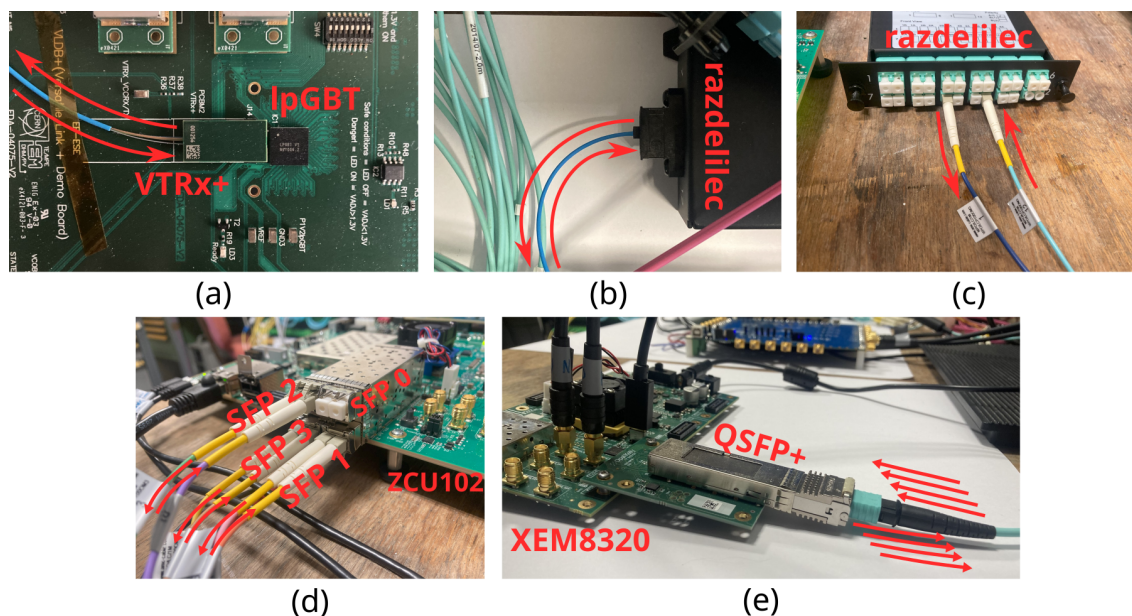
Vse optične povezave so vzporedno povezane na zaledni prototip.

## 4.2 Mikrokode in konfiguracija

Kot smo že omenili, je srce emulatorja LFE sistem na čipu Zynq, ki nam ponuja tako trda procesorska jedra kot konfigurabilno vezje FPGA. Oboje programiramo in konfiguriramo s pomočjo orodij proizvajalca AMD. Strukturo vezja FPGA oblikujemo v jeziku za opis strojne opreme VHDL, nato pa ga sintetiziramo s pomočjo orodja



Slika 4.3: Razvojna plošča XEM8320 proizvajalca Opal Kelly s FPGA čipom AMD Artix Ultrascale+. Uporablja se kot primer zaledne elektronike. Na zgornjem robu je priključen četverni oddajno-sprejemni modul (SZG-QSFP), preko katerega lahko testiramo 4 povezave med zaledjem in sprednjo elektroniko. Z dodatnim parom priključkov SFP+ na desni strani lahko preizkušamo tudi funkcionalnost omrežja TFC. Več o tem v naslednjem poglavju.



Slika 4.4: Pot optičnih povezav med gradniki emulatorja. (a) Čip lpGBT na plošči VLDDB+ pošilja in prejema podatke preko priključka VTRx+. (b) Snop petih optičnih kablov iz priključka VTRx+ je priključen na optični razdelilec. (c) Dve vlakni iz razdelilca sta povezani na čip lpGBT. (d) Plošča ZCU102 k povezavi preko čipa lpGBT doda še 3 dvosmerne povezave preko modulov SFP+. (e) V celoti 4 dvosmerne optične povezave so preko modula QSFP+ priključene na ploščo XEM8320, ki ima v tem primeru vlogo zaledne elektronike.

Vivado, s katerim tudi ustvarimo mikrokodo, ki jo zapišemo na čip. Z Vivadom nastavljam tudi nekatere trde<sup>3</sup> komponente sistema na čipu, kot so

1. jedra MGT za hitro serijsko oddajanje in sprejemanje preko optičnih povezav;
2. serijski vmesniki za hitro serijsko oddajanje preko povezav eLink s fizičnim čipom lpGBT;
3. procesni sistem Zynq PS za poganjanje programske opreme ter branje in pisanje pomnilniške enote.

Osnova programske opreme, ki jo poganjamo na procesnem sistemu, je operacijski sistem PetaLinux. Ta nam omogoča vključevanje lastnih modulov jedra Linux in uporabniških aplikacij s pomočjo katerih upravljamo sistem. Programsko opremo pišemo v programskem jeziku C. S primerno konfiguracijo procesnega sistema vključimo podatkovna vodila, ki vodijo v vezje FPGA; preko njih pišemo in beremo kontrolne in statusne registre, ki jih oblikujemo po meri. Ob konfiguraciji PS vsem registrom določimo fizične naslove, ki jih uporabljajo aplikacije in gonilniki v sistemu PetaLinux. Poleg tega vključimo še vodila, ki povezujejo FPGA s pomnilniškim krmilnikom. Na ta način omogočimo neposreden pretok testnih podatkov iz pomnilnika v vezje emulatorja.

Posamezne komponente emulatorja torej opisujemo v jeziku VHDL, in prevajamo v mikrokodo, ta pa elemente čipa FPGA poveže v digitalna vezja. Konceptualno se komponente delijo na dva dela: ogrodje, ki je skupno vsem različicam emulatorja, in komponente specifične za tip sprednje elektronike, ki jo posnemamo.

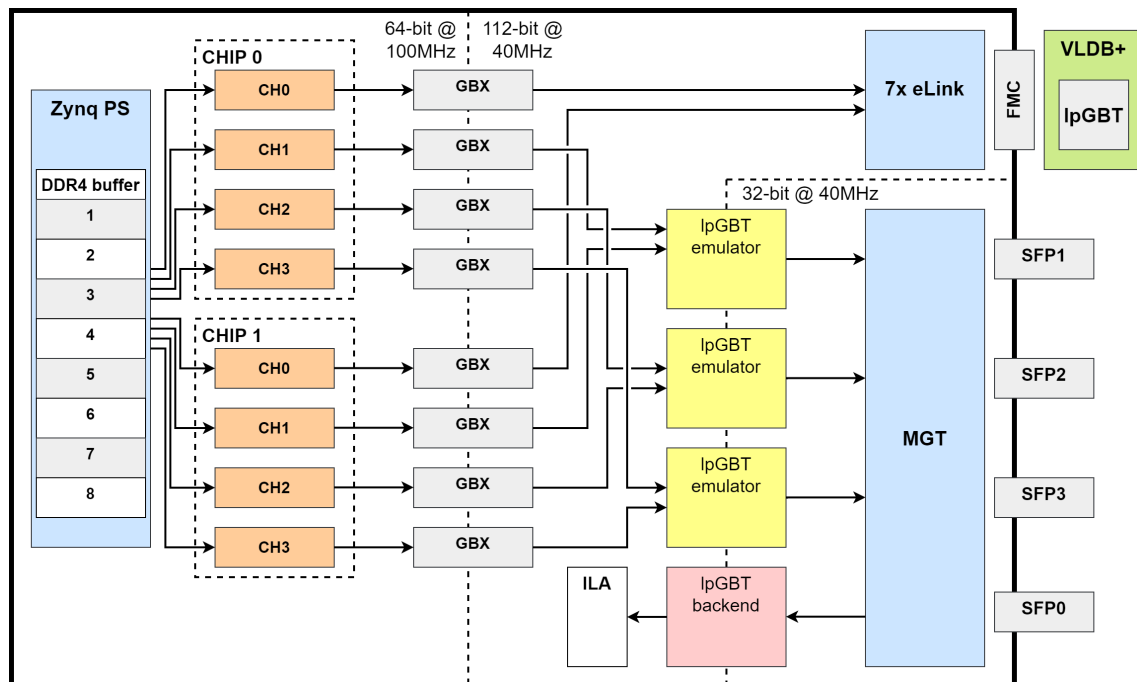
Ogrodje vsebuje komponente, ki nam omogočajo nadzor in povezljivost sistema. Te so v glavnem zgrajene okoli trdih jeder na čipu. Za nadzor je uporabljen Zynq PS, kateremu pa moramo dodati še komponente za pretok podatkov ter za prirejanje naslovov kontrolnim registrom. Za povezljivost so uporabljeni razni serijski vmesniki. Pri pretoku podatkov preko optičnih povezav so to jedra MGT, pri povezavah eLink na fizični čip lpGBT pa uporabljamo visoko-hitrostne serijske vhode in izhode na robu vezja FPGA. Poleg trdih ogrodje vsebuje še mehke komponente protokola lpGBT. To so predvsem emulatorji čipa lpGBT. Z njimi lahko znotraj vezja FPGA posnemamo večje število čipov, in tako z emulatorjem ustvarimo večji pretok teh podatkov. Na voljo imamo tudi zaledno komponento lpGBT, imenovano *lpGBT-fpga*. Ta je namenjena prejemanju podatkov v podatkovnem centru. V emulatorju jo uporabljamo za samo-testiranje: enega od optičnih priključkov SFP+ lahko uporabimo za prejemanje testnih podatkov preko zaledne komponente.

Znotraj ogrodja dodajamo komponente, ki testne podatke oblikujejo v obliko značilno za detektor, katerega čitalno elektroniko posnemamo. Pri tem gre predvsem za način s katerim se podatki uredijo v tovornem delu paketov lpGBT. V tem delu smo zgradili dva primera emulatorjev.

Prvi je zelo preprost in nazoren primer, osnovan na obstoječem sistemu zajemanja podatkov iz kalorimeterskih detektorjev, zaradi česar ga imenujemo *CALO*. Emulator *CALO* oddaja podatke na 4 vzporednih kanalih. Tovor vsakega kanala ima definiran format, ki se tekom zajema podatkov ne spreminja. Dolg je 14 bajtov

---

<sup>3</sup>Čipi FPGA poleg programirljivega "mehkega" vezja logičnih elementov vsebujejo tudi namenska vezja, ki delujejo kot črne škatle, ki jim lahko nastavimo zgolj nekatere parametre delovanja. Takim vezjem znotraj čipa pravimo "trda jedra" (angl. *hard cores*).



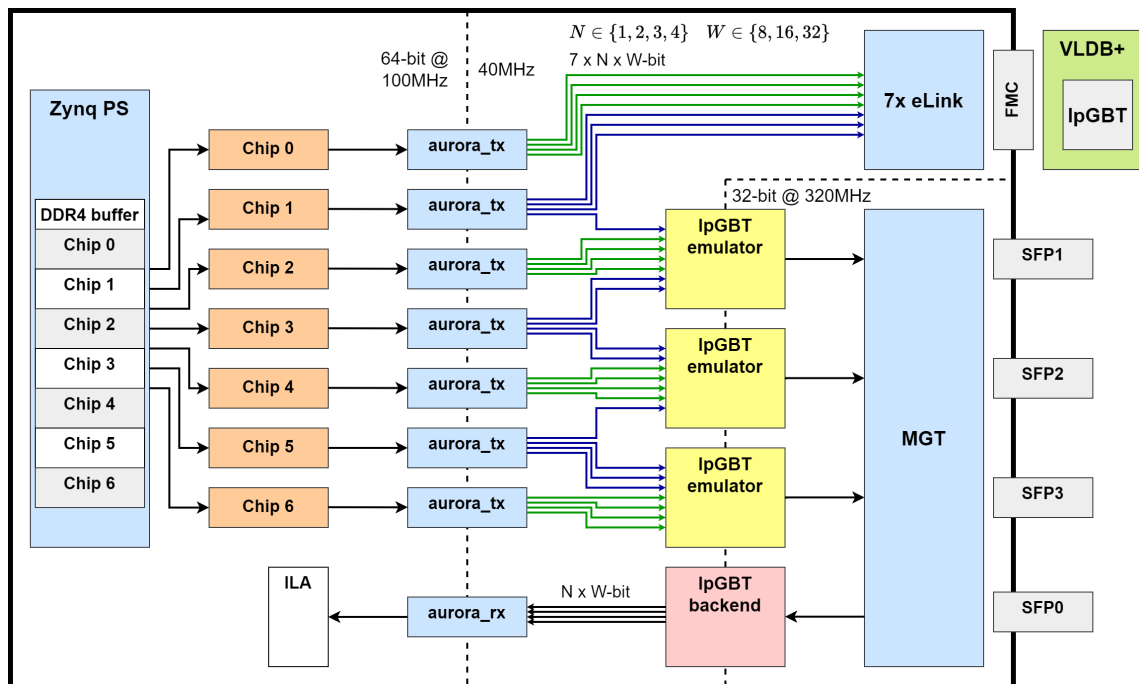
Slika 4.5: Arhitekturni diagram emulatorja CALO za generiranje preprostih podatkovnih paketov preko protokola lpGBT. Emulator je zasnovan da popolnoma zasede 4 izhodne optične linije pri najvišji hitrosti pretoka podatkov, ki ga omogoča protokol.

(B), pri čemer prvi bajt označuje vrstno število trka, ostali pa nosijo zajete podatke z detektorja. Izjeme so sinhronizacijski paketi, ki nosijo polno 12-bitno vrstno število trka, brez podatkov z detektorja. Na sliki 4.5 je prikazan arhitekturni diagram mikrokode FPGA, ki posnema delovanje dveh čipov CALO. Pri vsakem čipu, je vsak izhodni kanal povezan na svoj optični kabel, pri čemer zapolni le polovico tovora lpGBT, ki je pri polni hitrosti dolg 28 B. Na ta način oba posnemana čipa skupaj polno zasitita 4 optične povezave protokola lpGBT. Ta tip emulatorja je uporaben za testiranje sistema pri polnem pretoku podatkov, s kar se da enostavno strukturo podatkov.

Bolj realističen primer je emulator čitalnega čipa FastRICH. Po trenutnem načrtu bodo ti čipi lahko podatke oddajali po različnih številih kanalov z različnimi hitrostmi. Razporeditev podatkovnega tovora po optičnih povezavah tudi še ni povsem določena. Največja posebnost tega čipa je uporaba povezovalnega protokola Aurora 64B/66B [29] v tovoru paketov lpGBT. Ta omogoča avtomatsko sinhronizacijo več serijskih linij, kadar preko njih pošiljamo enovit tok podatkov. En sam čip FastRICH tako lahko svoj podatkovni izhod razdeli med več vmesnikov eLink, pri čemer ti lahko pripadajo celo različnim čipom lpGBT, torej se tok podatkov porazdeli na več optičnih povezav. S pomočjo protokola Aurora lahko zaledna elektronika avtomatsko izravna različne zamike, ki se pri tem pojavijo na različnih serijskih linijah, in pravilno sestavi porazdeljeni tok podatkov. Protokol Aurora omogoča tudi spremenljivo dolžino podatkovnih paketov, zato je oblika izhodnih podatkov FastRICH lahko zelo kompleksna (in s tem težavna za interpretacijo v zaledju).

V sklopu projekta LFE smo zasnovali emulator, ki proizvede izhod 7 vzporednih čipov FastRICH. Njegova arhitektura je narisana na sliki 4.6. Pri sintezi emula-





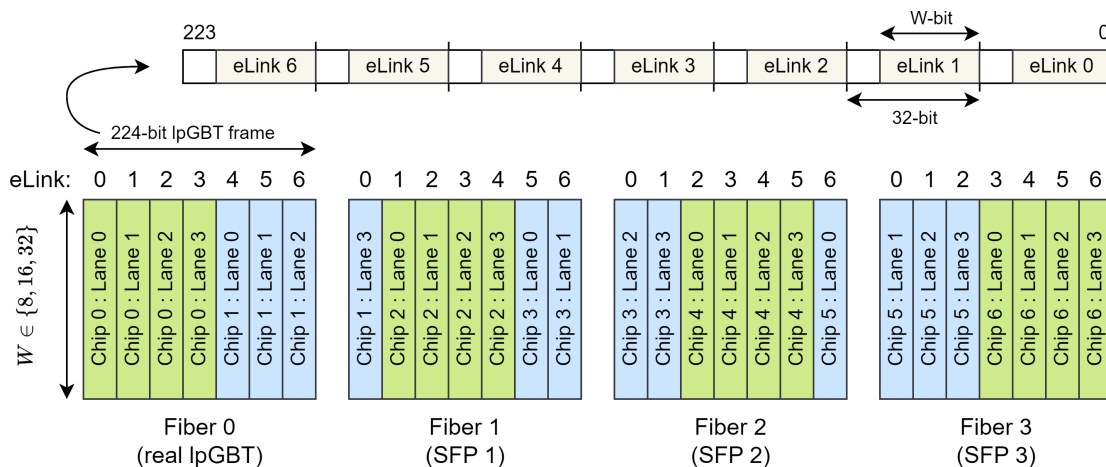
Slika 4.6: Arhitekturni diagram emulatorja FastRICH. Sposoben je generirati 7 vzporednih čipov, ki lahko polno zasedejo pretok podatkov preko štirih optičnih linij. Čipi imajo lahko nekaj različnih konfiguracij izhodnih serijskih linij. Posebnost čipa FastRICH je, da podatke pred pošiljanjem zakodira s protokolom Aurora.

torskega vezja si lahko izberemo dva parametra čipa FastRICH: število izhodnih serijskih pasov, ter njihovo hitrost. Čipi imajo lahko do 4 pasove, izbiramo pa lahko med tremi hitrostmi: 320, 640 in 1280 Gb/s. Število 7 čipov je izbrano, da skupni podatkovni izhod pri konfiguraciji z največjim pretokom podatkov (4 pasovi hitrosti 1280 Gb/s) polno zasiti 4 optične povezave. Pri tem smo si izbrali konstantno porazdelitev izhodnih pasov po povezavah lpGBT; ponazorjena je na diagramu 4.7. Širina, ki jo vsak pas zavzema v tovoru paketa lpGBT je odvisna od hitrosti pasu; večja hitrost pomeni širši pas, frekvenca pošiljanja je namreč konstantnih 40 MHz.

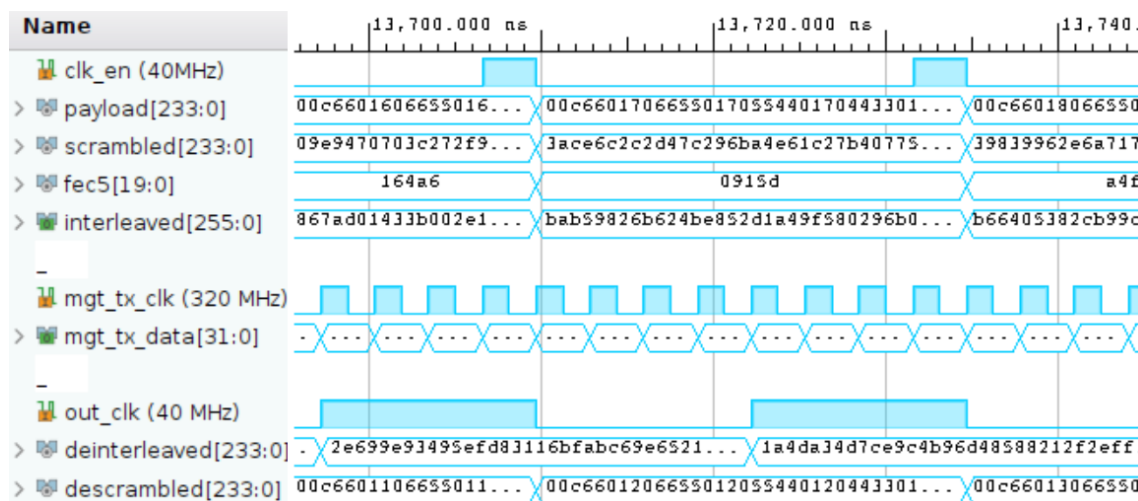
### 4.3 Protokol lpGBT

Poglejmo si, kako dejansko delujejo mehke komponente protokola lpGBT v vezju FPGA. Na sprednji strani (tj. emulatorju) podatke kodira v pakete čip lpGBT; ali fizični ASIC ali komponenta v FPGA. Paketi se serijsko pretakajo preko optične povezave. Na sprejemni strani jih dekodira zaledna komponenta *lpGBT-fpga*. Za ponazoritev tega poteka smo obe mehki komponenti (sprednjo in zaledno) neposredno povezali in analizirali v simulaciji. Rezultat je prikazan na sliki 4.8, kjer so od zgoraj navzdol prikazani podatki v vseh fazah (de)kodiranja.

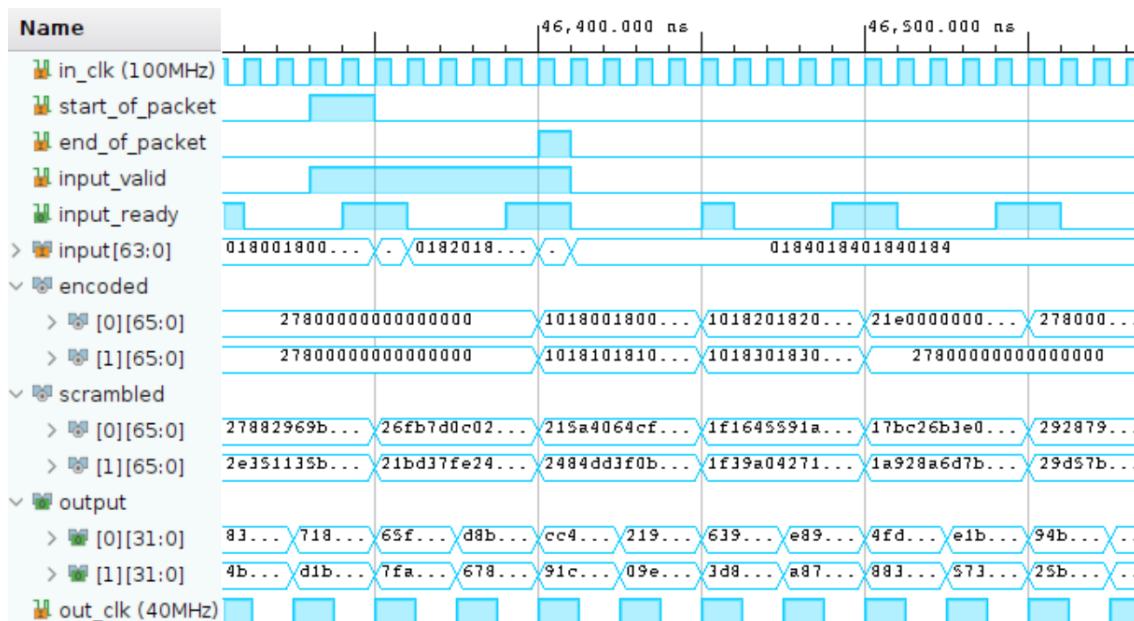
Kodiranje vključuje mešanje bitov (angl. *scrambling*), računanje kode za odpravljanje napak (angl. *forward error correction* oz. *FEC*) ter prepletanje podatkov s kodo FEC (angl. *interleaving*). Sprejemnik na zaledni strani mora podatke dekodirati v obratnem vrstnem redu.



Slika 4.7: Razdelitev podatkovnih pasov sedmih emuliranih čipov FastRICH na 4 optična vlakna. Vsak čip ima lahko do 4 pasove, ki so lahko ene od treh različnih širin: 8, 16 ali 32 bitov. Pasovi zavzemajo fiksne položaje znotraj vsakega od štirih paketov lpGBT.



Slika 4.8: Simulacija celotnega poteka kodiranja in dekodiranja po protokolu lpGBT. Potek je prikazan od vhodnih podatkov zgoraj do izhodnih podatkov spodaj. Vrednosti na podatkovnih vodilih so prikazane v *heksadecimalni* obliki. Vhodni podatki, označeni kot *payload* so že v obliki paketa lpGBT; spodnjih 224 bitov je sestavljenih iz 7 32-bitnih besed, vsaka pripadajoča enemu pasu eLink. (Zgornjih 10 bitov je vezano na konstantno vrednost 0x00C.) V tej simulaciji se vsaka 32-bitna skupina začne in konča z 8 biti, ki označujejo njen index (od 0x66 do 0x00). V sredini vsake besede je 8-bitni števec, ki se posodobi z vsakim paketom; trenutna vrednost pri vhodnih podatkih je 0x17, pri izhodnih pa 0x12. Vmesne stopnje (de)kodiranja so označene kot *(de)scrambled* in *(de)interleaved*. Med oddajnikom in sprejemnikom se podatki prenesejo s pasovno širino 32 bitov pri 320 MHz. V realnem sistemu se ti prenašajo preko serijskih vmesnikov.



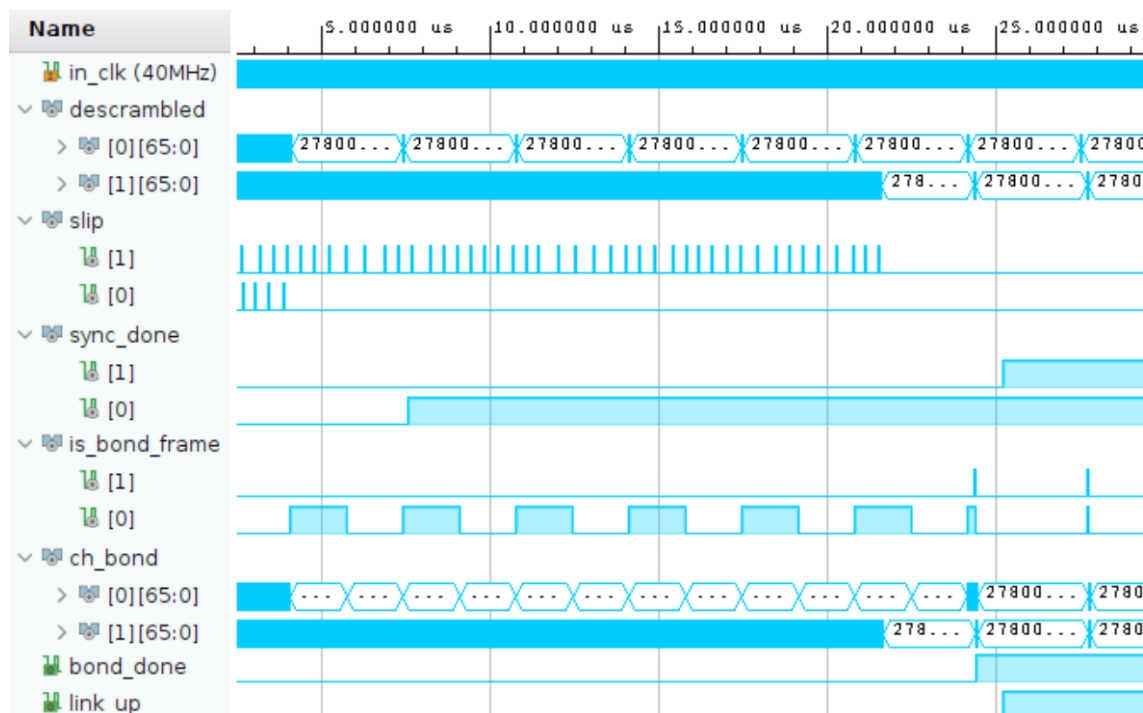
Slika 4.9: Primer kodiranja podatkov s protokolom Aurora. Na vhodnem vodilu (vodilo `input[63:0]`) prispejo 4 64-bitne besede. (Sestavljene so iz 4-krat ponovljenega 16-bitnega števca, ki prešteje od 0x180 do 0x183.) Paket se zakodira v 5 66-bitnih besed razporejenih na dva pasova; glej vodili `encoded`). Štiri besede nosijo podatke; prepoznamo jih po enici v zgornjih dveh bitih (0x1 na začetku). Peta beseda predstavlja ločnico s praznim tovorom (0x21e00...). Preostale besede kodirnika označujejo nedejavno vodilo (0x27800...). Pred pošiljanjem se podatki še premešajo (vodili `scrambled`). Izhoda kodirnika (vodili `output`) imata pasovno širino 32 bitov pri frekvenci 40 MHz. Vsak od njiju predstavlja eno besedo eLink v paketu lpGBT.

## 4.4 Protokol Aurora

Čitalna elektronika FastRICH oddane podatke dodatno kodira s protokolom Aurora 64B/66B. Sprednja elektronika kodira posamezne pasove znotraj tovara lpGBT paketa, zaledna pa jih mora ustrezno dekodirati. Poglejmo si, kako konkretno ta postopek izgleda v sistemu LFE.

Na sliki 4.9 je prikazana celotna linija kodiranja na sprednjem delu: od vhodnega vodila do izhodnega, ki je priključen na serijski vmesnik. Vhodni podatki prihajajo v obliki paketov poljubne dolžine. Kodirnik jemlje po 64 vhodnih bitov in jih kodira v 66-bitne besede, ki so lahko razdeljene po večjem številu podatkovnih pasov. (Število pasov je odvisno od konfiguracije čipa FastRICH. V primeru na sliki 4.9 sta uporabljena 2.)

Poleg besed, ki vsebujejo podatke z detektorja, kodirnik neprestano pošilja še posebne besede, ki omogočajo neprekinjeno sinhronizacijo pasov na sprejemniku. Kadar preko kodirnika ne pošiljamo nobenih veljavnih podatkov, ta pošilja nedejavne besede, ki se začnejo z posebnim znakom v glavi: 0x278. Sprejemnik se torej lahko zanese, da se prejete besede vedno začnejo z 0x1 ali 0x2, preostanek pa je pomešan. To mu omogoča da avtomatsko naravna prejeti serijski tok podatkov, ko sestavlja 66-bitne besede; ob de-serializaciji postopoma bitno zamika besede, dokler njihove glave niso pravilne. Takrat rečemo da je en pas protokola sinhroniziran.



Slika 4.10: Sinhronizacija dveh pasov v dekodirniku protokola Aurora. Prejete podatke na vsakem serijskem pasu zamikamo (glej signala `slip`) dokler sestavljene 66-bitne besede nimajo pravilne glave (Glej vrednosti `0x27800...` na vodilu `descrambled`). Naravnost posameznega pasu je označena s signalom `sync_done`. Nato dekodirnik išče povezovalne besede (glej signala `is_bond_frame`) in enega od pasov zamakne tako, da prihajajo na obeh pasovih sinhrono. Ko je povezovanje kanalov končano, je povezava vzpostavljena (glej signala `bond_done` in `link_up`).

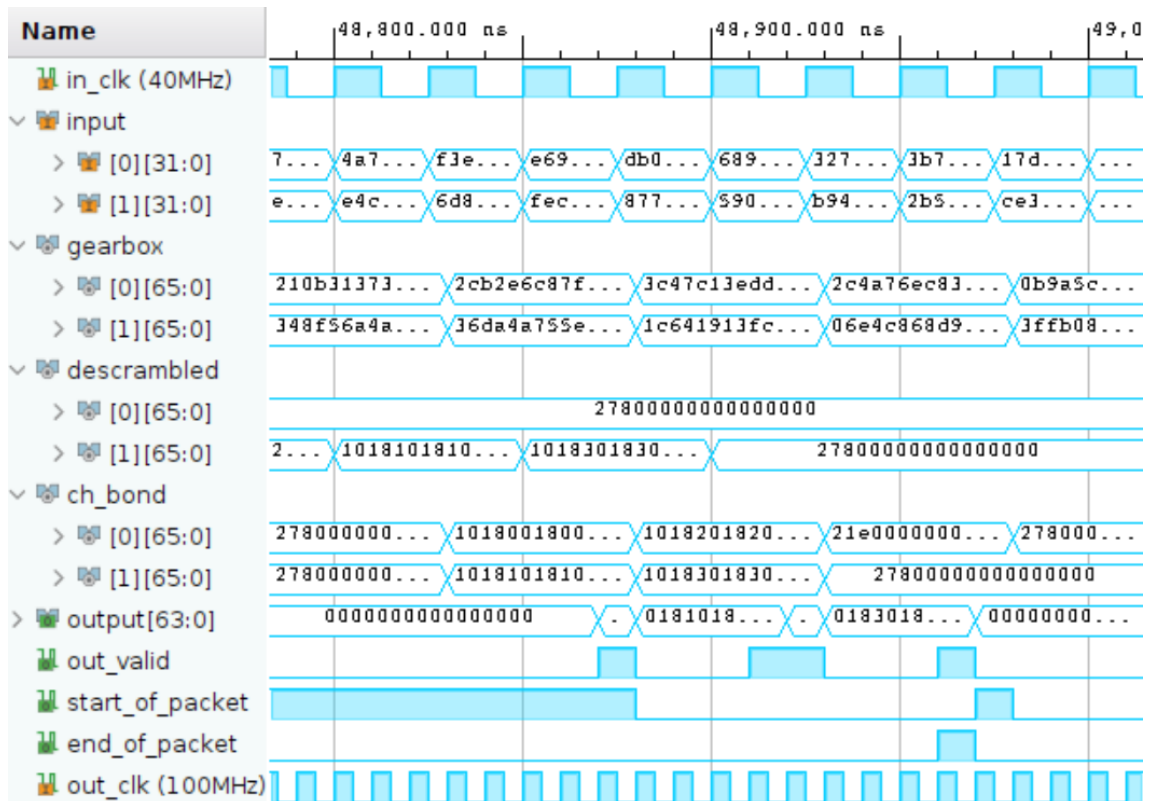
Na zgornjem delu slike 4.10 vidimo postopno sinhronizacijo najprej 2. in potem 1. pasu.

V primeru več pasov, moramo poskrbeti še za njihovo medsebojno naravnost<sup>4</sup>. Kodirnik s tem namenom na vseh pasovih skupaj periodično pošilja povezovalne besede (angl. *channel bond frame*). Dekodirnik nato prejete besede na vsakem pasu ustrezno zamakne, tako da povezovalne vedno prispejo sinhrono. Ko se ta postopek uspešno izvede, je povezava vzpostavljena; na dnu slike 4.10 ta trenutek označuje dvig signala `link_up`.

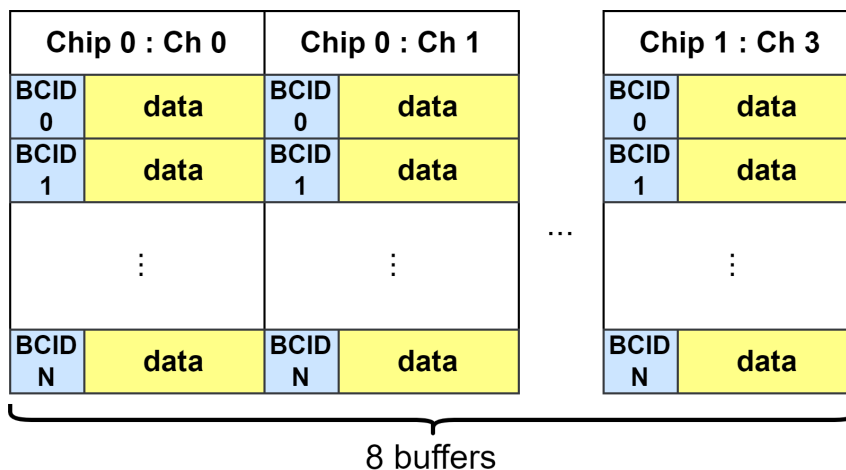
Ko je sinhronizacija pasov na sprejemniku končana, dekodirnik lahko prejete besede sestavlja nazaj v prvotni tok podatkov. Slika 4.11 prikazuje potek dekodiranja paketa, ki smo ga pošiljali na sliki 4.9. Podatki čipa FastRICH prihajajo znotraj paketa lpGBT, kjer vsak eLink lahko predstavlja en pas. Vsak eLink torej prispe na dekodirnik kot ločeno vodilo. Znotraj se podatkovna širina pretvori na 66 bitov, besede se odmešajo in pasovi se medsebojno naravnajo. Podatki prihajajo iz dekodirnika v obliki enega samega vodila.

<sup>4</sup>Channel bonding v terminologiji protokola Aurora





Slika 4.11: Primer dekodiranja podatkov s protokolom Aurora. Vhodni podatki pripejo s serijskega vmesnika po dveh pasovih širine 32 bitov pri frekvenci 40 MHz (glej vodili `input`). Dekodirnik najprej pretvori širino vodil na 66 bitov (glej `gearbox`). Nato ta vodila dešifrira in poslani podatki števnik spet postanejo razvidni (vodili `descrambled`). Povezava med pasovoma je dosežena z ustreznim medsebojnim zamikom (vodili `ch_bond`). Na izhodu (vodilo `output [63:0]`) dobimo štiri veljavne 64-bitne besede (veljavnost označuje signal `out_valid`) z vrednostmi števca od `0x180` do `0x183`.



Slika 4.12: Razporeditev podatkov v pomnilniku emulatorja CALO. Razdelimo ga na 8 delov in v vsakega zapišemo zaporedje 112-bitnih paketov, ki se bodo pošiljali na vsakem od 8 kanalov. Vsak kanal bere iz svojega dela neodvisno od drugih. Za polni pretok podatkov se vsi berejo vzporedno.

## 4.5 Delovanje emulatorja

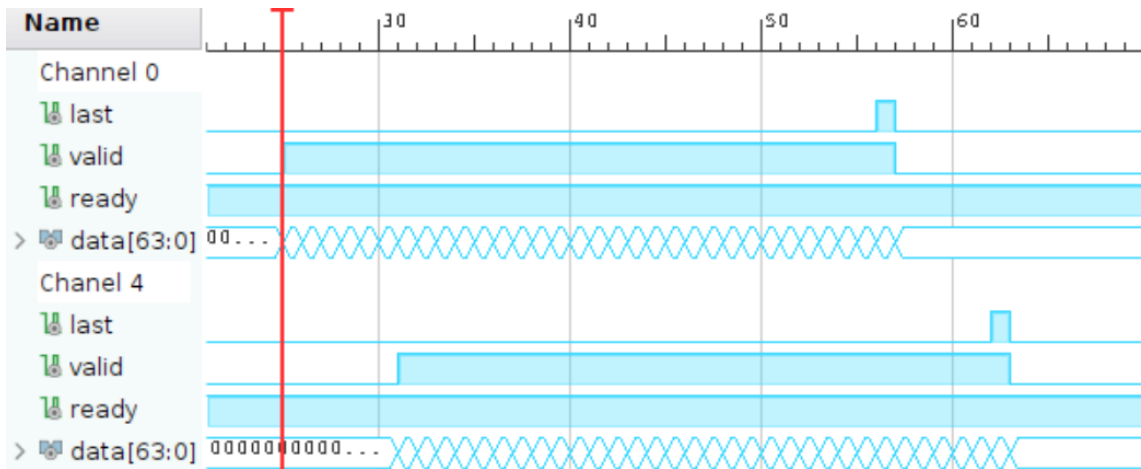
### 4.5.1 CALO

Podatkovne poti emulatorja se začnejo v podatkovnem pomnilniškem čipu plošče ZCU102. Vanj lahko uporabnik preko operacijskega sistema PetaLinux zapiše poljubne testne podatke. Del emulatorjskega sistema je modul jedra Linux, ki ob zagonu sistema rezervira območje pomnilnika velikosti 512MB, ki je namenjeno nalaganju testnih podatkov. V primeru emulatorja CALO, za vsakega od 8 izhodnih kanalov uporabimo svoj del pomnilnika, kot je to prikazano na sliki 4.12.

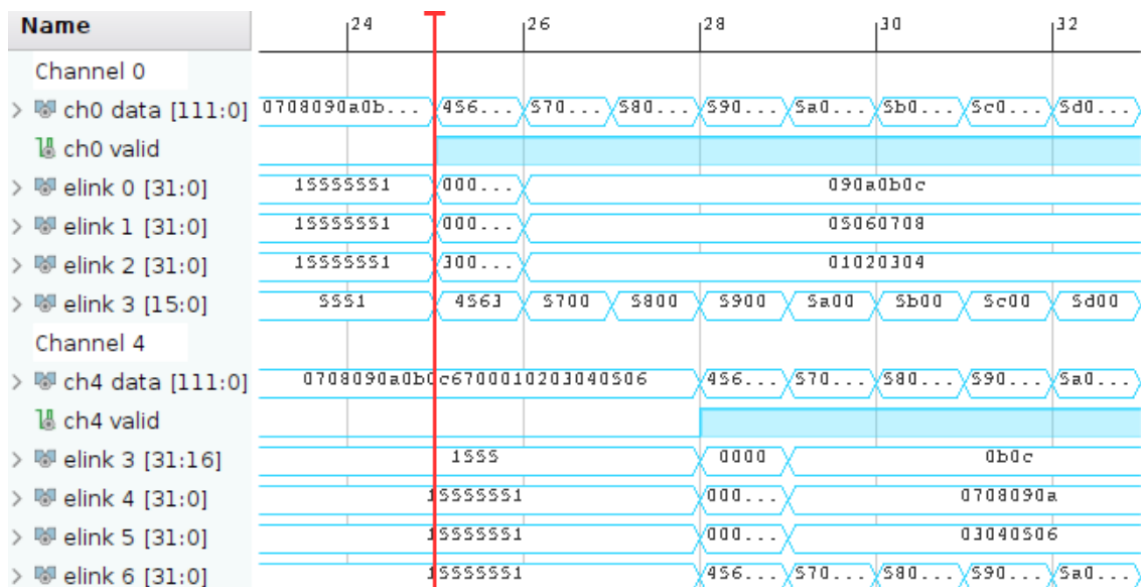
Za branje iz pomnilniške enote so v vezju FPGA implementirane komponente za pretakanje naslovljive vsebine. Te uporabljajo dve različici protokola AMBA Advanced eXtensible Interface (AXI) za komunikacijo na čipu: AXI4 za branje s pomnilnika in AXI4-Stream za pretakanje. AXI4 je zelo bogat protokol, ki je sposoben naslavljanja vsebine ter branja in pisanja v rafalnem načinu. Omogoča nam, da na oddajni strani ustvarimo neprekinjen tok podatkov, kot ga pričakujemo iz realnega detektorja. Za pretok podatkov uporabljamo preprostejšo različico AXI4-Stream. Ta poleg podatkovnega vodila vsebuje še signale, ki ponazarjajo veljavnost podatkov ter konec podatkovnih paketov. Primer pretakanja vsebine iz pomnilnika po dveh izmed kanalov emulatorja CALO je prikazan na sliki 4.13.

Da zagotovimo neprekinjen pretok podatkov, se ti s pomnilniške enote berejo z nekoliko višjo hitrostjo kot jo ima tok podatkov z emulatorja. Vsak kanal beremo s širino 64 bitov pri 100 MHz, potem pa ga pretvorimo na širino 112 bitov pri le 40 MHz. To vodilo se nato naprej razdeli na 3 in pol pasove eLink širine 32 bitov. Ta delitev je prikazana na sliki 4.14.

Prva kanala dveh virtualnih čipov CALO potekata preko fizičnega oddajnika lpGBT. To pomeni, da se pasovi, ki ju sestavljajo, prenašajo preko fizičnih serijskih linij eLink, ki potekajo preko priključka FMC med obema ploščama emulatorja. V čipu FPGA pasove serializirajo izhodne celice za hitro serializacijo podatkov. Pred vstopom na slednje je potrebno podatke še nekoliko pripraviti. Ta postopek je

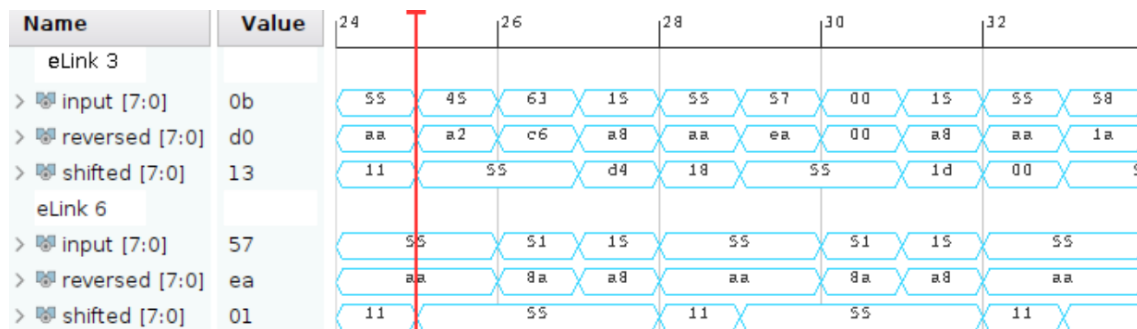


Slika 4.13: Primer pošiljanja kratkih paketov na dveh izmed kanalov emulatorja CALO. Prikazana sta dva podatkovna tokova podatkov branih iz pomnilnika sistema Zynq. Ker je branje pomnilnika sekvenčno, sta tokova med seboj nekoliko zakasnjena, pomembno pa je da sta oba neprekinjena. Frekvenca je 100 MHz.

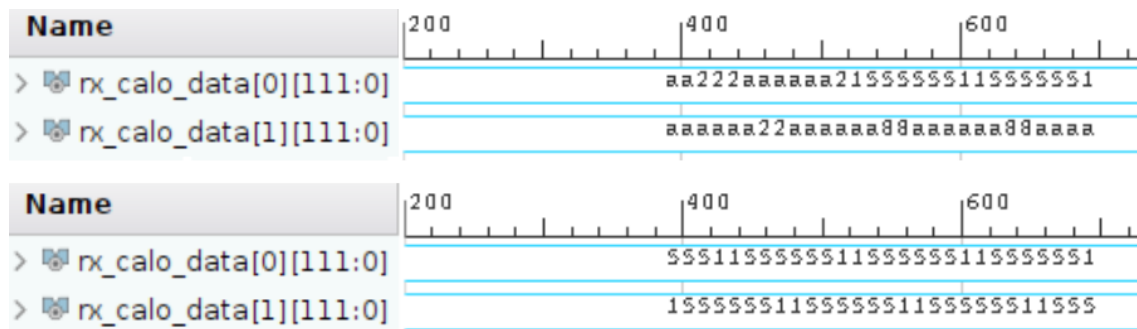


Slika 4.14: Razdelitev podatkov emulatorja CALO na 7 serijskih oddajnikov eLink. Prikazana sta 2 kanala širine 112 bitov. Skupaj sta razdeljena na 7 pasov širine 32 bitov; delita si 4. pas (eLink 3). Frekvenca je 40 MHz.

## POGLAVJE 4. EMULATOR SPREDNJE ELEKTRONIKE LPGBT



Slika 4.15: Obdelava podatkov emulatorja CALO pred vstopom na serijske oddajnike eLink. Pasovi širine 32 bitov pri frekvenci 40 MHz preidejo na širino 8 bitov s frekvenco 160 MHz. Vrstni red bitov je nato obrnjen zaradi kompatibilnosti oddajnika na čipu FPGA ter sprejemnika na čipu lpGBT. Na koncu so biti lahko po potrebi poljubno zamaknjeni tako, da so podatki na strani prejemnika pravilno poravnani.



Slika 4.16: Prejeti podatki nedejavnega emulatorja CALO, preden so serijski pasovi pravilno poravnani (*zgoraj*) in po poravnavanju (*spodaj*). Frekvenca je 40 MHz.

prikazan na sliki 4.15. Vodila širine 32 bitov pri frekvenci 40 MHz najprej zožimo in pohitrimo za faktor 4; na širino 8 bitov s frekvenco 160 MHz. Oddajniki na čipu FPGA oddajajo z drugim vrstnim redom kot sprejemniki na čipu lpGBT sprejemajo, zato bitom pred pošiljanjem obrnemo vrstni red. Poleg tega omogočimo še nastavljen zamik poslanih bitov. To je potrebno, ker format podatkov pri emulatorju CALO ne omogoča avtomatskega poravnavanja prejetih podatkov, kot za to v primeru elektronike FastRICH skrbi protokol Aurora.

Kadar so izhodi emulatorja nedejavni, se pošilja konstanten vzorec, ki nam omogoča ročno poravnavanje zamika vsakega pasu posebej. Na vsakem pasu pošiljamo konstantno besedo 0x15555551. Na sliki 4.16 so prikazani prejeti nedejavni podatki iz dveh kanalov emulatorja CALO poslanih preko čipa lpGBT. Prikazano je stanje pred in po poravnavanju. Čip lpGBT pri sprejemanju na linijah eLink ne more določiti kateri bit je prvi v besedi, zato se ob zagonu sistema na vsakem pasu pojavi naključen zamik od 0 do 31. Ta zamik lahko ročno kompenziramo na čipu FPGA, tako da preko vsakega pasu dobimo pravilen nedejavni vzorec.

Ko je postopek poravnavanja končan, lahko na zaledni strani opazujemo podatke prejete iz emulatorja. Na sliki 4.17 vidimo začetka veljavnih podatkov iz emulatorja na dveh izmed 8 kanalov. Testne podatke smo pripravili tako, da vsak kanal na začetku pošlje eno sinhronizacijsko besedo, ki v zgornjih bitih nosi 12-bitno vrstno število protonskega trka. Nadaljnje besede pa posodablja le spodnjih 8 bitov tega

Name	24	25	26	27	28
> rx_calo_data[0][111:0]	5551155555...	4563300000...	5700010203...	5800010203...	5900010203...
> rx_calo_data[1][111:0]		15555551155555115555511555			4563300000...

Slika 4.17: Prejeti podatki emulatorja CALO na enem optičnem kablu. Znotraj paketa lpGBT je podatkovni tovor širine 224 bitov sestavljen iz dveh 112-bitnih kanalov. Aktivni podatki se začnejo s sinhronizacijskimi paketi, ki nosijo 12-bitno vrstno število trka 0x456. Na drugem kanalu pridejo z zamikom treh ciklov ure, kar je enako kot na izhodni strani emulatorja, prikazani na sliki 4.14. Frekvenca je 40 MHz.

Name	0	1	2	3	4
> aurora[0][0][31:0]	039b66ce	ce8e5fa3	5ed17053	a52d128d	
> aurora[0][1][31:0]	747d857e	ba8f28d5	f88549ba	08294ffb	
> aurora[0][2][31:0]	6ae720b8	af8ed256	f225962e	5e63b7a4	
> aurora[0][3][31:0]	25f804f0	d0a25fc0	27e80bb2	88e18807	
> aurora[1][0][31:0]	52efcba3	c3aa4910	ff1d6eae	1b6c9fb8	
> aurora[1][1][31:0]	52efcba3	c3aa4910	ff1d6eae	1b6c9fb8	
> aurora[1][2][31:0]	52efcba3	c3aa4910	ff1d6eae	1b6c9fb8	

Slika 4.18: Tok podatkov kodiran z Aurora protokolom. Prikazanih je 7 pasov širine 32 bitov pri frekvenci 40 MHz, ki povsem zapolnijo podatkovni tovor protokola lpGBT. Prikazani podatki so povsem neberljivi zaradi šifriranja (angl. *scrambling*) značilnega pri protokolih za serijsko pošiljanje.

števila.

### 4.5.2 FastRICH

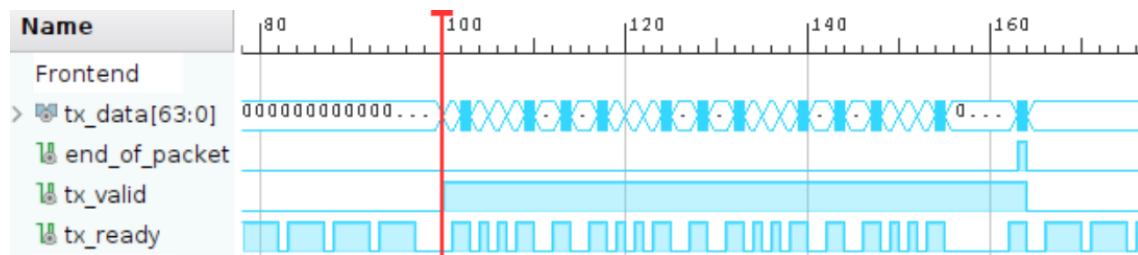
Pri emulatorju FastRICH je postopek pretakanja podatkov podoben kot pri CALO. Pomnilnik je razdeljen na podoben način, le da v tem primeru potrebujemo le 7 delov - za vsak virtualni čip enega. Tudi branje iz pomnilnika je opravljeno na podoben način. Glavna razlika je uporaba kodirnika Aurora.

Celoten izhodni tok podatkov enega čipa FastRICH je emuliran z enim od 7 64-bitnih vodil, ki pretakajo podatke iz pomnilnika. Vsako od teh vodil gre na svoj kodirnik, ki lahko svoj izhod porazdeli med večje število vzporednih pasov. Vsak pas ustreza svojemu serijskemu oddajniku eLink. Slika 4.18 prikazuje te pasove za prvo optično povezavo (tisto, ki gre preko fizičnega čipa lpGBT). V tem primeru vsak kanal kodiramo v 4 32-pasove pasove. Vsak paket lpGBT sprejme 7 takih pasov; prvi 4 so iz enega čipa, naslednji 3 pa iz drugega.

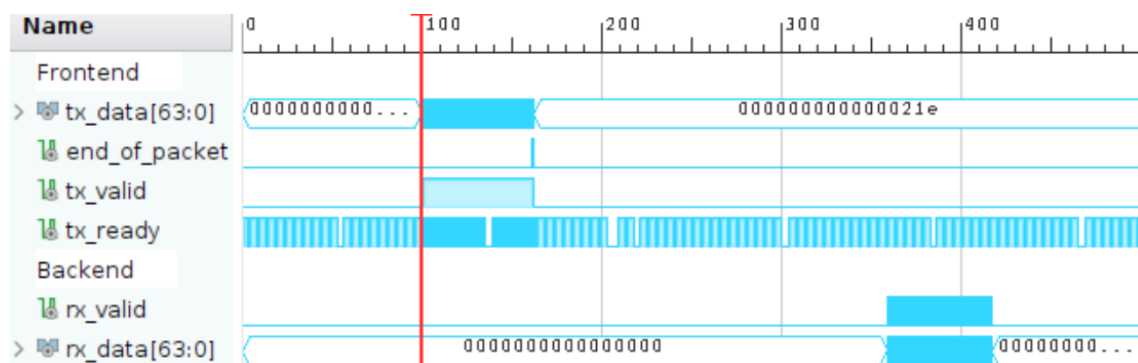
Podatke s pomnilnika beremo nekoliko hitreje kot bi jih proizvajal realni detektor. Vsak čip pretaka 64 bitov s frekvenco 100 MHz. S tem le zagotovimo, da ima kodirnik vedno na voljo dovolj podatkov, da polno zasiti podatkovne linije. Njegov izhod nastavimo na realno hitrost detektorja: izhodni pasovi imajo frekvenco 40 MHz. Tako tudi 4 32-bitni pasovi ne presežejo hitrosti branja iz pomnilnika. Primer vstopa enega podatkovnega paketa iz pomnilnika na kodirnik je prikazan na sliki 4.19.

Glavni prednosti protokola Aurora sta, da lahko pošiljamo podatkovne pakete poljubne dolžine in da na sprejemni strani dekodirnik lahko avtomatsko poskrbi

## POGLAVJE 4. EMULATOR SPREDNJE ELEKTRONIKE LPGBT



Slika 4.19: Poslani paket podatkov enega emuliranega čipa FastRICH. Prikazan je tok podatkov prebran iz pomnilnika sistema Zynq. Podatki so brani s pasovno širino 64 bitov pri frekvenci 100 MHz. Kodirnik Aurora zakodira vsako 64-bitno besedo s 66 bitmi. Kodirnik ima lahko do 4 izhodne pasove z maksimalno širino 32 bitov pri frekvenci 40 MHz, kar je ekvivalentno 64 bitom pri frekvenci 80 MHz. Pasovna širina podatkov branih s pomnilnika tako zagotavlja neprekinjen pretok podatkov na izhodu kodirnika.



Slika 4.20: Primer pošiljanja in prejemanja paketa enega emuliranega čipa FastRICH. Prikazani podatki ustrezajo štirim 32-bitnim pasovom čipa št. 0. Poslani so preko čipa lpGBT in optičnega kabla in so prejeti po okoli 250 cilkih ure, oziroma okoli 2,5 us. (Frekvenca je 100 MHz.) Poslani paket je bolj podrobno prikazan na sliki 4.19.

za pravilno poravnavanje podatkov. Nobene potrebe ni po ročnem nastavljanju zamikov kot pri emulatorju CALO. Na sliki 4.20 vidimo paket podatkov pred vstopom na kodirnik na oddajni strani ter po izhodu iz de-kodirnika na sprejemni strani. Med tem je paket prešel celotno pot, ki smo jo opisali zgoraj.

## 5. Meritve časovne faze ure

Pomembna naloga sistema lpGBT ni le zajem podatkov, temveč tudi nadzor celotnega detektorskega sistema. Del tega je tudi distribucija natančne časovne reference preko sistema, tako da so vse njegove komponente sinhronizirane. Kot smo razpravljali v uvodnih poglavjih, bo naslednja nadgradnja čitalnih elektronskih komponent zahtevala bistveno večjo natančnost pri določanju časa zaznanih fotonov. Nedoločnost faze signala ure, ki ima periodo 25 ns (frekvenca 40 MHz), bo morala biti manjša od 10 ps. V sklopu emulatorja sprednje elektronike z novim protokolom lpGBT smo opravili še nekaj predhodnih testov natančnosti in stabilnosti prenašanja signala ure po sistemu. V tem poglavju opišem različne poskusne postavitve in metode, ki smo jih zato uporabili, ter predstavim pridobljene rezultate.

### 5.1 Metoda

V poskusu merimo sposobnost zaledne elektronike, da natančno prenese časovno referenco na sprednjo elektroniko. V realnem sistemu je ta časovna referenca kar ura gruče, ki jo pridobimo iz časovne infrastrukture pospeševalnika LHC. V našem poskusnem sistemu pa si referenčno uro ustvarimo sami, s pomočjo čipa Si5395 proizvajalca Skyworks. Slednji omogoča večje število izhodnih signalov ure z zelo nizkim faznim trepetanjem le 69 fs. Ta čip uporabljamo tudi zato, ker je del realnega sistema; na karticah zaledne elektronike se namreč uporablja kot čistilec trepetanja, torej oddajniki na čipih FPGA tudi v resnici dobijo časovno referenco preko tega čipa.

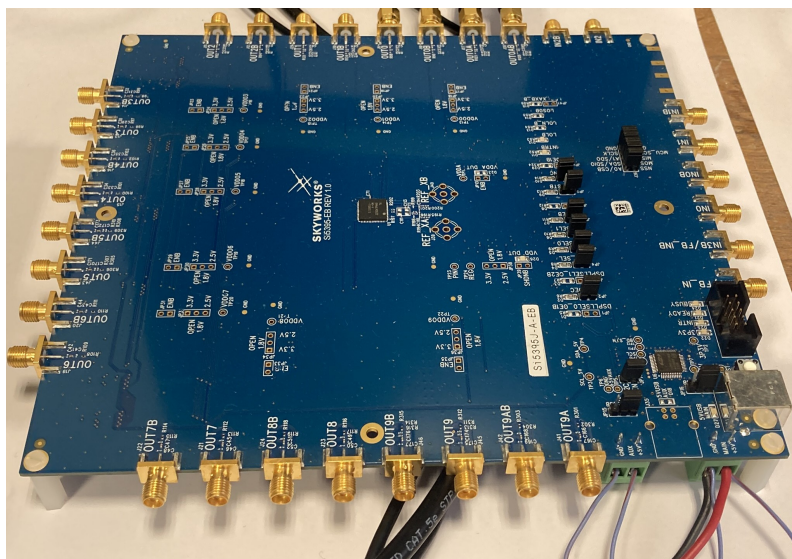
Opisani čip je na voljo na posebni razvojni plošči, ki nam omogoča enostavno programiranje preko vmesnika USB, ter izpostavi vse izhodne signale ure v obliki diferencialnih parov priključkov tipa SMA (SubMiniature version A). Plošča je prikazana na sliki 5.1. V našem poskusu uporabimo 2 izhodna para te plošče, tako da ustvarjata dve enaki kopiji signala ure s frekvenco 40 MHz. Eno kopijo uporabimo za referenco na zalednem oddajniku, drugo pa na osciloskopu za referenco pri merjenju faze signala ure obnovljenega na sprednji elektroniki.

Pri meritvah signalov ure nas zanimata predvsem 2 lastnosti:

1. Nedoločnost časovne faze. Ta je posledica 2 dejavnikov: omejene natančnosti osciloskopa ter faznega trepetanja (angl. *jitter*). Obstaja več načinov analize trepetanja; nas zanima napaka časovnega intervala, oziroma Time Interval Error (TIE).
2. Determinističnost vzpostavitve časovne faze po zagonu sistema. Torej do kakšne mere se lahko zanesemo, da bo faza ure enaka vsakič ko se povezave v sistemu na novo vzpostavijo.

V poskusu uporabimo 3 različne postavitve (2 samostojni in 1 kombinirano):





Slika 5.1: Razvojna plošča Skyworks z natančnim generatorjem signalov ure Si5395. Na robovih vidimo pare priključkov tipa SMA. Vsak par lahko uporabimo za generiranje zelo čistega signala ure.

- Samostojni preizkus oddajnikov GTH<sup>1</sup> čipa Zynq Ultrascale+ na plošči ZCU102.
- Samostojni preizkus oddajnikov GTY<sup>1</sup> čipa Artix Ultrascale+ na plošči XEM8320.
- Test obnovljene ure s čipa lpGBT na plošči VLDB+, ki uro obnavlja iz optičnega toka podatkov s plošče XEM8320 (čip Artix Ultrascale+).

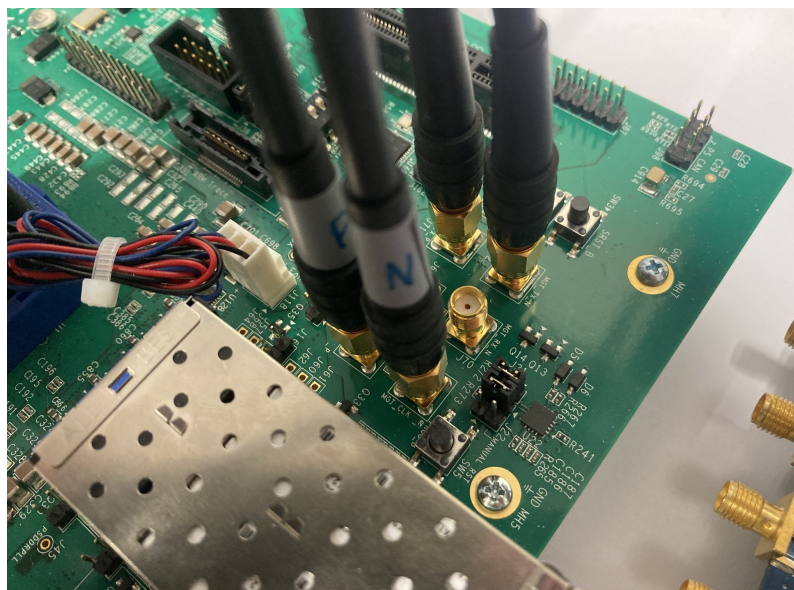
V primerih samostojnih postavitvev preverjamo, kako natančni so več-gigabitni oddajniki sami po sebi. V teh primerih je sistem zelo preprost in niti ne uporablja protokola lpGBT. Kot kaže slike 5.2, referenčni signal pripeljemo do oddajnikov preko priključkov na plošči. Oddajnike sprogramiramo, da neprestano pošiljajo signal ure. Na vhod jim vežemo konstanten 32-bitni vzorec 0x0000FFFF, ki se ob serializaciji pretvori v signal ure s frekvenco 320 MHz. Ta signal izluščimo preko dodatnega para priključkov na plošči in ga pripeljemo na osciloskop.

Bolj zanimiv je poskus z dvema ploščama, kjer uro pošiljamo iz oddajnika na sprejemnik, kar ponazarja situacijo zaledne in sprednje elektronike v pravem detektorju. Za ta primer smo ploščo XEM3280 povezali s ploščo VLDB+ preko optičnih vlaken. Čip Artix na plošči XEM8320 pri tem igra vlogo zaledne elektronike in preko optičnega vlakna pošilja prazne pakete protokola lpGBT. Čip lpGBT na drugi strani uskladi svoj sprejemnik tako da iz prejetega niza bitov obnovi uro s katero jih pošilja oddajnik. Ta ura je sinhrona s prvotno referenčno, lahko pa je poljubno fazno zamaknjena. Stopnja določenosti te faze nam pove, kako natančna je časovna referenca na sprednji elektroniki.

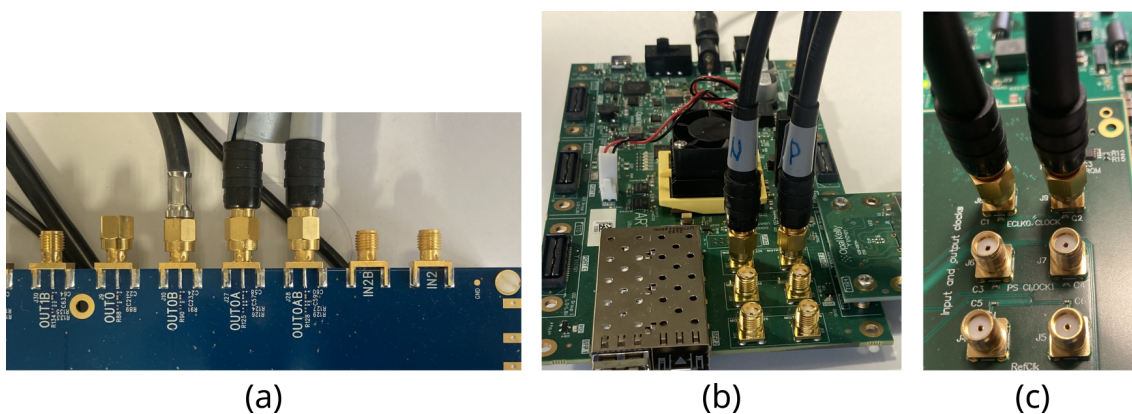
V tem poskusu pripeljemo referenčno uro na ploščo, ki predstavlja zaledno elektroniko (XEM8320). Obnovljeno uro iz čipa lpGBT (ki predstavlja sprednjo elektroniko) pa preko priključkov na plošči VLDB+ pripeljemo na osciloskop. Opisane povezave so prikazane na sliki 5.3.

<sup>1</sup>GTH in GTY so različice hitrih oddajno-sprejemnih jeder MGT, ki jih najdemo na čipih Zynq in Artix Ultrascale+.

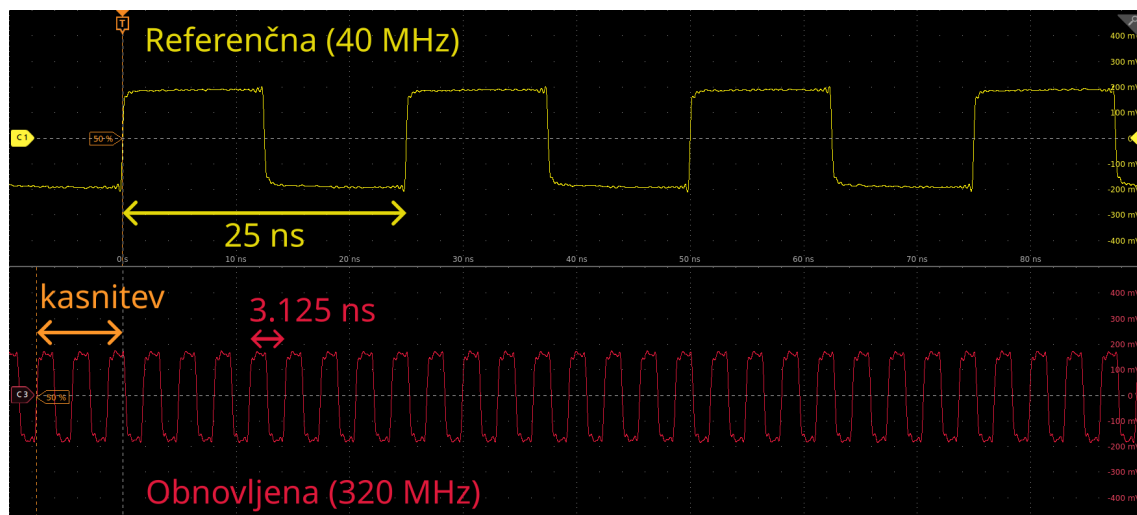




Slika 5.2: Priklučki signalov za samostojne meritve na oddajnikih GTH čipa Zynq na razvojni plošči ZCU102. Spodnja priključka sta vhod referenčne ure, zgornja pa izhod iz oddajnikov.



Slika 5.3: Priklučki signala ure za merjenje faze obnovljenega signala. (Vsi signali potekajo kot diferencialni pari.) (a) Generator ure Si5395 proizvede dve kopiji referenčna signala; ena je uporabljen kot referenčni signal za oddajnike, drugi pa kot referenčni na osciloskopu (povezan je le en signal iz diferencialnega para). (b) Referenčni signal ure je priključen na ploščo XEM8320. (c) Obnovljeni signal ure iz plošče VLDB+ je priključen na osciloskop.



Slika 5.4: Prikaz referenčne in obnovljene ure na osciloskopu. Slednji je prožen z naraščajočimi robovi referenčne ure. Z oranžno barvo je prikazana meritev kasnitve med obnovljeno ter referenčno uro; meri se čas med prvima roboma, zajetima na osciloskopu.

V vseh poskusih je ura, ki jo primerjamo z referenčno, frekvence 320 MHz. Slika 5.4 prikazuje kako opravljamo meritve fazne zakasnitve na osciloskopu. Osciloskop si s časom shranjuje veliko število meritev zakasnitve, kar nam omogoča določitev merske napake. Poleg tega na osciloskopu za vsak signal ure določimo velikost trepetanja oz. napake časovnega intervala TIE. Osciloskop si pri tem interno ustvari obnovljeno kopijo opazovanega signala in jo primerja s prvotno. Pri teh meritvah dobimo vrednost porazdeljeno okoli nič; širina te porazdelitve nam poda oceno velikosti trepetanja faze signala.

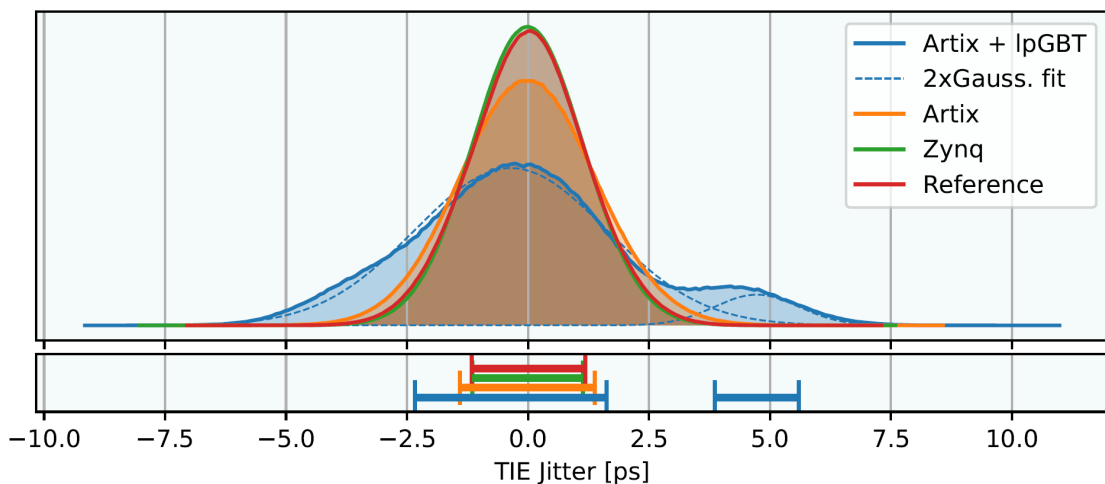
Da lahko preverimo enoličnost faze signala ure med več zagoni sistema, smo pripravili avtomatiziran postopek voden s pomočjo skript napisanih v programskih jezikih Python in Tcl. V postopku se ponavljajo naslednji koraki:

1. Na zaledni čip FPGA na novo naloži mikrokodo.
2. Počakaj nekaj sekund, da se meritve na osciloskopu ustalijo.
3. Počisti mersko statistiko na osciloskopu. S tem se začne zbirati nova.
4. Počakaj nekaj sekund, da se nabere dovolj meritev fazne zakasnitve.
5. Preberi povprečno vrednost meritev in njen standardni odklon.

Ta postopek ponavljamo in s tem ovrednotimo zanesljivost časovne reference na sprednji strani sistema za zajem podatkov med številnimi ponovnimi zagoni.

## 5.2 Rezultati

Najprej si oglejmo meritve napake časovnega intervala (TIE). Te meritve nam podajo spodnjo mejo časovne natančnosti, ki smo jo sploh sposobni doseči v našem poskusnem sistemu. Vrednost TIE izmerimo vsem signalom ure, tj. tako referenčnemu kot vsem, ki jih dobivamo iz oddajnikov in sprejemnikov. Osciloskop nam z



Slika 5.5: Primerjava porazdelitev napake časovnega intervala, oziroma faznega trepetanja obnovljene ure (angl. TIE Jitter) na različnih čipih. Vsaka porazdelitev je rezultat več tisoč meritev trepetanja ure na osciloskopu. Porazdelitve so normirane, da je površina pod krivuljo enaka 1. Enote na navpični osi so poljubne in zato izpuščene.

zbiranjem velikega števila merskih vzorcev za vsak signal pridobi porazdelitev vrednosti TIE. Za primerjavo so na sliki 5.5 na skupnem grafu prikazane normirane porazdelitve, pripadajoče vsaki od poskusnih postavitev. Ker tresenje signala ure izvira iz mnogo različnih naključnih procesov, pričakujemo, da so porazdelitve gaussovske. Grafu vsake porazdelitve smo zato prilegali gaussovo krivuljo in na spodnjem grafu označili interval zaupanja  $1\sigma$ . Bolj ostra kot je porazdelitev, manjša je napaka časovnega intervala. Kot pričakovano, ima referenčni signal najmanjšo napako. Vsekakor vidimo, da ima naš merski sistem mejo natančnosti pri okoli 2 ps.

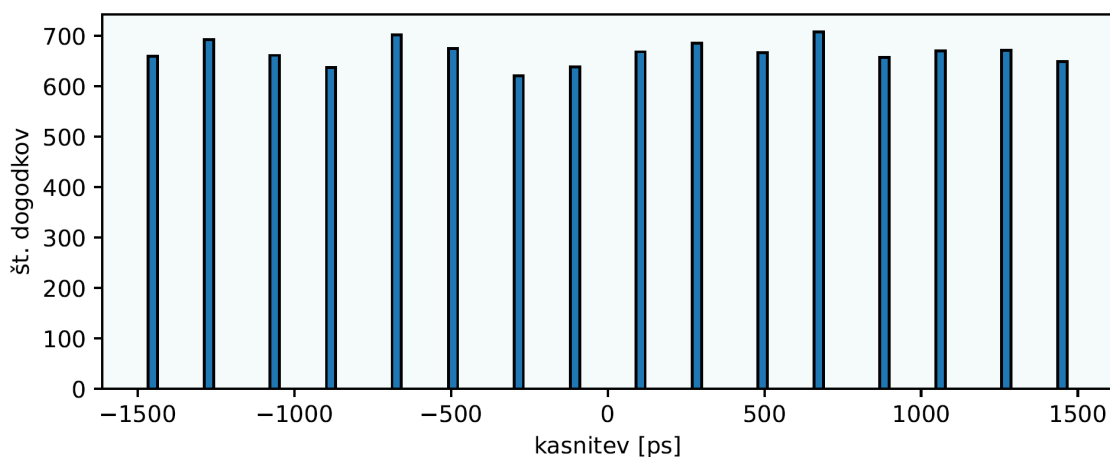
Zanimivo porazdelitev TIE ima signal obnovljene ure iz kombiniranega sistema čipov Artix in lpGBT. Porazdelitev ima dodano manjšo komponento pri časovnem odmiku okoli 5 ps. Ni povsem jasno, od kje ta komponenta pride. Možna razlaga je, da se ob obnovi ure na čipu lpGBT nekateri robovi signala zamikajo za konstanto vrednost okoli 5 ps. Obnovljena ura ima frekvenco 320, referenčna pa 40 MHz; znotraj ene periode referenčne ure je torej 8 period obnovljene. Če se zamik dogaja vedno na istih robovih znotraj enega referenčnega intervala, potem nam to ne povzroča težav s časovno zanesljivostjo.

Za ohranjanje enolične faze poslanega signala ure, se na zaledni strani uporablja poseben mehanizem, ki je vgrajen v oddajnike čipa FPGA proizvajalca AMD. To je tako imenovani interpolator faze, ki uporabniku omogoča fino kontrolo faze oddajne ure. Skupina za eksperimentalno elektroniko v CERN-u je razvila komponento [30], ki ta mehanizem uporablja za avtomatsko nadziranje in prilagajanje oddajne ure.

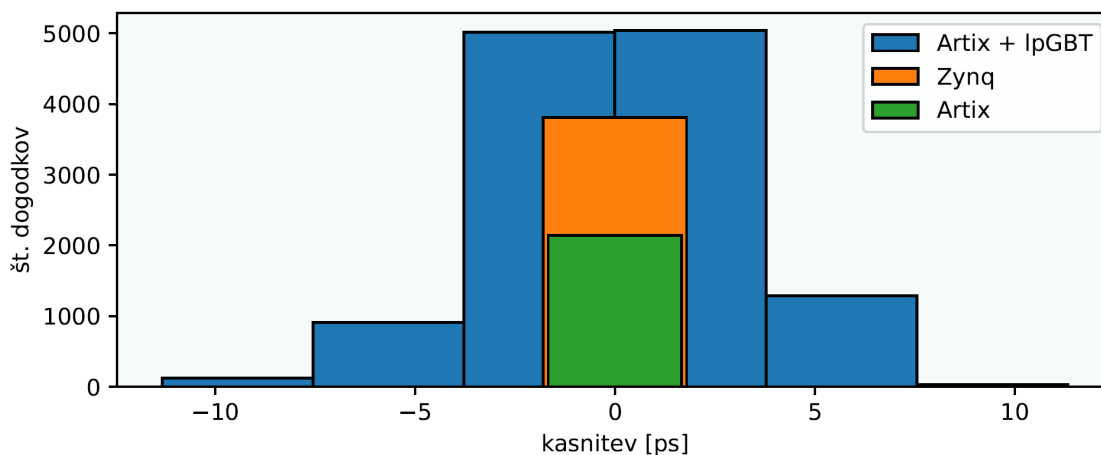
Na sliki 5.6 je za zgled prikazan primer meritev faze oddane ure po mnogih zagonih sistema, kadar mehanizem za prilagajanje faze ni uporabljen. Faza ob vsakem ponovnem zagonu naključno zavzame eno od 16 diskretnih vrednosti znotraj periode oddanega signala s frekvenco 320 MHz. Razlog je, da se oddajanje začne v naključnem enotskem intervalu serijskega oddajnika, ki ima frekvenco 10,24 GHz.

Glavni rezultat tega testa pa je prikazan na sliki 5.7. Za vsako od 3 postavitev so primerjane porazdelitve časovnih zamikov izmerjenih tekom več tisoč ponovnih zago-

## POGLAVJE 5. MERITVE ČASOVNE FAZE URE



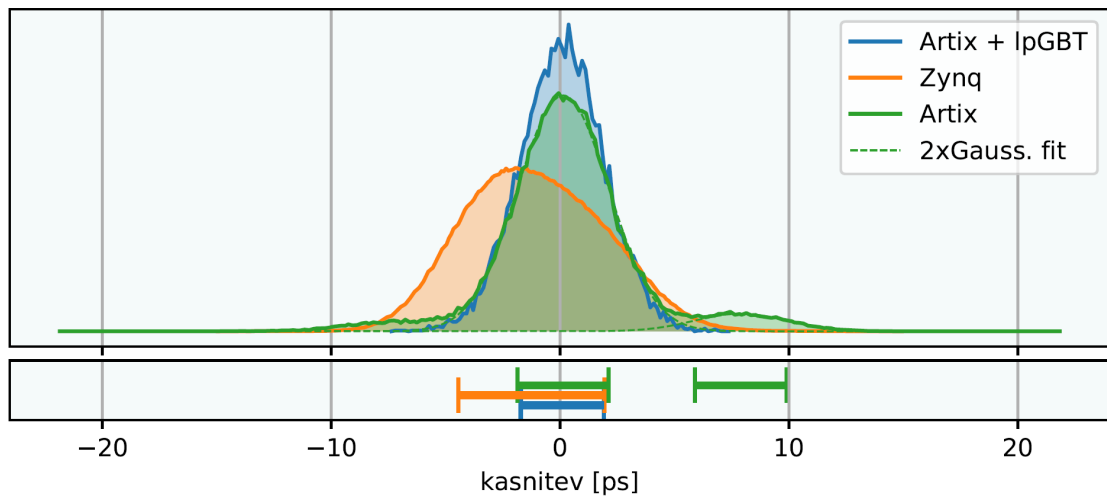
Slika 5.6: Porazdelitev zakasnitve obnovljene ure po zaporednih ponovnih zagonih sistema. Meritve so razdeljene v 16 diskretnih predalov razdeljene enakomerno preko časovne periode signala ure s frekvenco 320 MHz. Ta rezultat dobimo, če ne uporabljamo posebnega protokola, ki naravna fazo. Celotno število ponovnih zagonov v vzorcu je 10657. Meritev je opravljena plošči ZCU102.



Slika 5.7: Primerjava porazdelitev fazne zakasnitve obnovljenega signala ure pri treh različnih poskusnih postavitvah. Uporabljen je mehanizem za natančno nastavitve faze. Lahko rečemo, da je v vseh poskusih ura predvidljivo obnovljena znotraj časovnega intervala 20 ps.

nov. Porazdelitve so prikazane v obliki histogramov, kjer širina stolpcev predstavlja natančnost meritev; stolpci so širine  $2\sigma$ . V primerih samostojnih meritev oddajnikov s čipoma Zynq in Artix vidimo, da je variacija faze med ponovnimi zagoni manjša od naše merske natančnosti, ki znaša okoli 3 ps. Variacija v primeru kombiniranega sistema pa je opazna. Očitno postopek obnavljanja signala ure prinese v sistem nekaj negotovosti, lahko pa rečemo da je standardni odklon porazdelitve še vedno pod 10 ps. V realnem sistemu bo verjetno prisoten še en nivo zaledne elektronike, torej bo ura na sprednji elektroniki obnavljana dvakrat. To pomeni, da bo doseganje zadostne časovne natančnosti v detektorju LHCb najbrž težaven izziv.

Zgoraj smo omenili, da imajo meritve fazne zakasnitve na sliki 5.7 mersko napako. Na sliki 5.8 lahko vidimo, kakšne so dejanske porazdelitve teh meritev. Porazdelitve



Slika 5.8: Primerjava porazdelitev meritev faze zakasnitve v treh različnih poskusnih postavitvah. Porazdelitve so rezultat več tisoč meritev faze zakasnitve. Njihov namen je prikaz merske negotovosti pri določanju faze signala ure z osciloskopom. Porazdelitve so normirane, da je površina pod krivuljo enaka 1. Enote na navpični osi so poljubne in zato izpuščene.

smo dobili z zbiranjem meritve faze brez ponovnih zagonov sistema. Tokrat smo v primeru samostojnega testa s čipom Artix dobili podobno zanimiv rezultat, kot v primeru meritve TIE porazdelitve kombiniranega sistema na sliki 5.5; porazdelitev je kombinacija dveh gaussovskih komponent. Morda je ta anomalija povezana s tisto, ki smo jo opazili pri meritvi porazdelitev TIE.



## 6. Zaključek

Detektor LHCb ima za seboj že uspešno zgodovino meritev na področju fizike razpadov mezonov B ter določanju parametrov kršitve simetrije CP. Prihodnja nadgradnja detektorja bo s povečanjem luminoznosti protonskih trkov še povečala sposobnost pridobivanja teh meritev.

Nadgradnja luminoznosti pa prinaša tehnične izzive za detektorje delcev in njihov čitalni sistem elektronike. V detektorjih RICH bo potrebno zamenjati trenutno čitalno elektroniko z novo generacijo, ki je sposobna natančnega časovnega označevanja zajetih fotonov. Poleg sprednje elektronike bo treba posodobiti tudi zaledno, da bo sposobna uporabe novih komunikacijskih protokolov in distribucije časovne reference z visoko natančnostjo.

Nova zaledna (in sprednja) elektronika je že v razvoju, v pomoč pri tem pa smo razvili emulator sprednje elektronike LFE, ki nam bo omogočil laboratorijsko testiranje sprednjih komponent preko novega komunikacijskega protokola lpGBT. Emulator že podpira prva prototipa detektorske elektronike CALO in FastRICH, vendar bosta oba v prihodnje še nadgrajena. Emulatorji trenutno posnemajo le podatkovni izhod sprednje elektronike. V prihodnje bo potrebno dodati še komunikacijo v drugo smer, s čimer bo omogočeno še testiranje nadzora iz zaledja.

CALO je trenutno le zgled, ki se ga da uporabljati predvsem za testiranje maksimalnega podatkovnega pretoka; ne posnema pa še povsem realnega obnašanja detektorja. Pri emulatorju FastRICH smo implementirali najpomembnejšo lastnost pri njegovem prenosu podatkov; to je kodiranje s protokolom Aurora. Za povsem realistično posnemanje izhodnega toka podatkov, moramo pridobiti še simulacijo detektorskih podatkov, in dodati nekaj mikrokode, ki bo oblikovala pakete pravih dolžin.

Pošiljanje signala ure preko hitrih oddajnikov MGT smo preizkusili v nekaj preprostih laboratorijskih postavitvah; preizkusili smo samostojno delovanje oddajnikov in pošiljanje preko 2-nivojskega sistema. Rezultati kažejo, da je doseganje natančnosti ure pod 10 ps načeloma mogoče. Za bolj realističen primer bo potrebno preizkusiti tudi prenos ure preko sistema s 3 nivoji, kakršno je trenutno omrežje TFC v eksperimentu. To pomeni, da bo potrebno v trenutni 2-nivojski sistem umestiti še dodatno zaledno komponento.





## 7. Literatura

- [1] CERN, *CERN home page*, <https://home.cern/> (2025), ogleđ 22.1.2025.
- [2] O. S. Brüning *et al.*, *LHC Design Report*, CERN Yellow Reports: Monographs (CERN, Geneva, 2004).
- [3] T. L. Collaboration *et al.*, *The LHCb Detector at the LHC*, Journal of Instrumentation **3** (08), S08005.
- [4] R. Aaij *et al.*, *The LHCb Upgrade I*, Journal of Instrumentation **19** (05), P05065.
- [5] I. Béjar Alonso *et al.*, *High-Luminosity Large Hadron Collider (HL-LHC): Technical Design Report*, CERN Yellow Reports: Monographs št. CERN-2020-010 (CERN, Geneva, 2020).
- [6] T. L. Collaboration, *Framework TDR for the LHCb Upgrade II - Opportunities in flavour physics and beyond in the HL-LHC era*, Teh. por. (CERN, Geneva, 2021).
- [7] R. Lindner *et al.*, *LHCb Particle Identification Enhancement Technical Design Report*, Teh. por. (CERN, Geneva, 2023).
- [8] M. Feo *et al.*, *The Real-Time System for Distribution of Clock, Control and Monitoring Commands With Fixed Latency of the LHCb Experiment at CERN*, IEEE Transactions on Nuclear Science **70**, 985 (2023).
- [9] LHCb Collaboration, *LHCb : Technical Proposal* (CERN, Geneva, 1998).
- [10] T. Schörner-Sadenius, *The Large Hadron Collider (Harvest of Run 1)* (Springer, Cham, 2015).
- [11] X. Cid Vidal *et al.*, *Taking a closer look at LHC - LHCb*, [https://www.lhc-closer.es/taking\\_a\\_closer\\_look\\_at\\_lhc/0.lhcb](https://www.lhc-closer.es/taking_a_closer_look_at_lhc/0.lhcb) (2024), ogleđ 28.6.2024.
- [12] L. Collaboration, *LHCb Online Event Display*, <https://lbggroups.cern.ch/EventDisplay/index.html> (2024), ogleđ 28.6.2024.
- [13] F. Pisani *et al.*, *Design and Commissioning of the First 32-Tbit/s Event-Builder*, IEEE Transactions on Nuclear Science **70**, 906 (2023).
- [14] N. Bondar *et al.* (LHCbMUONgroup), *Proposal on application of the multi-wire proportional chambers of the LHCb MUON Detector at very high rates for the future upgrades*, JINST **15** (07), C07001.

## POGLAVJE 7. LITERATURA

---

- [15] S. Gambetta *et al.*, *RICH detectors in particle and nuclear physics experiments*, [https://indico.cern.ch/event/1094055/contributions/4974064/attachments/2506423/4306722/RICH2022\\_sgambetta.pdf](https://indico.cern.ch/event/1094055/contributions/4974064/attachments/2506423/4306722/RICH2022_sgambetta.pdf) (2022), ogleđ 28.6.2024.
- [16] T. L. R. Collaboration, M. Adinolfi, G. Aglieri Rinella *et al.*, *Performance of the LHCb RICH detector at the LHC*, *The European Physical Journal C* **73**, 1 (2013).
- [17] F. Keizer, *A novel fast-timing readout chain for LHCb RICH LS3 enhancements and prototype beam tests*, <https://indico.cern.ch/event/1094055/contributions/4931714/attachments/2508982/4311880/RICH2022-LHCb-LS3-FlorisKeizer.pdf> (2022), ogleđ 28.6.2024.
- [18] A. Pang in P. Membrey, *Beginning FPGA* (Apress, Berkeley, CA, 2016).
- [19] Xilinx, *7-Series Architecture Overview*, [https://www.southampton.ac.uk/~bim/notes/cad/reference/ARMSoC/P4/7\\_Series\\_Architecture\\_Overview.pdf](https://www.southampton.ac.uk/~bim/notes/cad/reference/ARMSoC/P4/7_Series_Architecture_Overview.pdf) (2014), ogleđ 22.1.2025.
- [20] P. Moreira *et al.*, *lpGBT documentation: release* (CERN, 2022).
- [21] R. B. Sune *et al.*, *From the FastIC ASIC to FastRICH, A Readout Chip for the Upgrade of the LHCb RICH Detector*, <https://indico.cern.ch/event/1094055/contributions/4931723/> (2022), ogleđ 28.6.2024.
- [22] D. Sánchez *et al.*, *HRFlexToT: A High Dynamic Range ASIC for Time-of-Flight Positron Emission Tomography*, *IEEE Transactions on Radiation and Plasma Medical Sciences* **6**, 51 (2022).
- [23] S. Gómez *et al.*, *FastIC: A fast integrated circuit for the readout of high performance detectors*, *Journal of Instrumentation* **17** (05), C05027.
- [24] D. Gascon *et al.*, *Signal processing and associated electronics*, [https://indico.cern.ch/event/791832/contributions/3356896/attachments/1871679/3080208/2019\\_06\\_21\\_SenseDetectorCourse\\_SiPM\\_FE.pdf](https://indico.cern.ch/event/791832/contributions/3356896/attachments/1871679/3080208/2019_06_21_SenseDetectorCourse_SiPM_FE.pdf) (2019), ogleđ 28.6.2024.
- [25] Moreira, Paulo, *Radiation-Hard ASICs for the LHC Optical links*, <https://indico.cern.ch/event/1317916/> (2024), ogleđ 22.1.2025.
- [26] E. Mendes *et al.*, *TCLink: A Fully Integrated Open Core for Timing Compensation in FPGA-Based High-Speed Links*, *IEEE Transactions on Nuclear Science* **70**, 156 (2023).
- [27] *ZCU102 Evaluation Board*, Advanced Micro Devices, Inc. (2023), v1.7.
- [28] CERN EP-ESE group, *VLDB+ manual*, <https://vldbplus.web.cern.ch> (2024), ogleđ 10.1.2025.
- [29] *Aurora 64B/66B Protocol Specification*, Xilinx, Inc. (2014), v1.3.
- [30] Mendes, E. B. S. , *Tx Phase Aligner for Xilinx transceivers*, [https://gitlab.cern.ch/HPTD/tx\\_phase\\_aligner/-/blob/master/tx\\_phase\\_aligner\\_reference\\_note.pdf](https://gitlab.cern.ch/HPTD/tx_phase_aligner/-/blob/master/tx_phase_aligner_reference_note.pdf) (2021), ogleđ 22.1.2025.